

# 科技部年輕學者養成計畫-哥倫布計畫：半導體-絕緣層-金屬接面之無須摻雜電晶體

陳亮瑜、高國興\*

國立成功大學電資學院電機工程學系

[kaofrank@mail.ncku.edu.tw](mailto:kaofrank@mail.ncku.edu.tw)

[IEEE Electron Device Lett., 38, 5, 2017.](#)

## 1. 簡介

當我們朝著CMOS的縮小邁進時，因為元件尺寸的問題，進度會有所趨緩，例如閘極長度，外加的寄生電阻成為元件微縮主要問題之一。傳統上，源極和汲極的電阻可以透過高濃度的離子佈值以及金屬化的接觸而減小，高濃度的摻雜可以在金屬-半導體接面中的半導體形成高電場和短的空乏長度，形成載子的薄的穿隧能障而且可以有效的形成金屬-半導體歐姆接觸[1]。然而對於元件微縮而言，離子佈值可能遭遇製程上的挑戰，像是摻雜活化會導致隨機摻雜濃度導致的行為變化和高溫度預算效應。為了要簡化元件製造和消除離子佈值所導致的副作用，金屬的源/汲極蕭基能障[2]和無摻雜元件[3]-[7]因此而被提出。然而，在金屬-半導體接面源/汲極上寄生的費米能階釘札效應依然是對於實驗上要做出元件，且要有令人滿意的開電流和開關比是個很大的阻礙[8]-[10]。另外，費米能階釘札效應可以被在金屬-半導體接面上之金屬所導致的能隙能階(MIGS)所解釋[11]-[13]，根據實驗上的觀察[8]-[10] [12] [13]，大部分金屬上的費米能階，因為金屬所導致的能隙能階，大多都釘札在矽的約能隙中間以及鉻的價帶邊緣附近，如果沒有額外的外加摻雜，這可能會導致高的蕭基能障而阻礙載子傳輸和降低電流。



金屬所導致的能隙能階是金屬電子波函數穿透到半導體的能隙所導致的，在金屬和半導體之間插入薄的絕緣層的方法因此而被提出來[9] [14]-[18]以降低波函數的穿透，進而降低金屬所導致的能隙能階。能隙 $E_g$ 、介電常數 $\epsilon$ 和物理長度是三個絕緣體材料會影響波函數的參數[11] [12]，比較大的能隙(更特定的說，給載子在連接面上更高的能量障礙)會導致波函數在絕緣體遞減的更快，這造成更少的表面能階；更小的介電常數 $\epsilon$ 可以讓波函數和介電材料耦合更小，也會造成更少的表面能階；最後，更厚的絕緣層減緩波函數和減少在半導體表面上的能階。在結果上，因為金屬所導致的能隙能階而導致在金屬-半導體接觸上的費米能階釘札可以透過金屬-絕緣層-半導體結構減少，而且金屬-絕緣層-半導體的歐姆接觸已經在實驗上被提出是個對於金屬波函數而言更好的選擇[14]。在此存在著一個對於金屬-絕緣層-半導體歐姆接觸理想上的絕緣層厚度，因為載子傳輸主要是被量子穿隧絕緣體所主導的[14]-[16]。

一定要注意的，金屬-半導體接觸會因為當半導體是低或中度摻雜，費米能階釘札導致的蕭基能障的載子傳輸限制，而有更強烈的副作用[10] [17]。這是因為更長的空乏長度，因此這裡就指出無摻雜場效應電晶體的電性行為依賴載子電漿的概念，而且一定被費米能階釘札效應影響的十分顯著。然而，最近關於無摻雜場效應電晶體的研究[4] [7]並沒有提到此議題，且在模擬當中無視費米能階釘札效應而直接定義低( $<4.0\text{eV}$ )或高( $>5.0\text{eV}$ )的源/汲極金屬功函數。必須要注意的是只有實驗上對於無摻雜金屬-半導體接面的p-i-n二極體表現蕭基能障顯著地影響電性行為[3]。所以，此研究致力於研究金屬-半導體和金屬-絕緣層-半導體在源/汲極的影響，我們專注於透過加入載子電漿的概念和考慮在不同等效金屬功函數下，費米能階釘札效應無摻雜場效應電晶體在模擬當中的電性行為。第二部分則描述元件的結構和模擬設置，結果討論在第三部分，最後結論在第四部份。

## 2. 元件結構和模擬設置

圖1(a)圖形上地表示此元件有被廣泛應用的源/汲極擺放設計，包含了金屬-半導體和金屬-絕緣層-半導體接觸並聯地擺放[3]-[7]，我們提出的元件圖1(b)顯示了無摻雜的矽完全被絕緣層所環繞，形成了在源/汲極只有金屬-絕緣層-半導體接觸，這個結構可以在實際製程當中透過原子層沉積精準的形成，兩個在源/汲極可

以被調整的金屬功函數( $WF_{SD}$ )以及閘極功函數( $WF_G$ )都在模擬當中特別定義。閘極與源/汲極彼此被隔絕5奈米[6]，這個可以在實際製程中用間隔層來達成，絕緣層厚度參數 $t$ 被用在研究對於元件電性行為特性的影響。電特性透過解帕松和連續方程式而被計算出來，也包含了量子關係模型，去了解載子在絕緣層旁的分布[19]。在整個絕緣層和蕭基能障中物理的模型包含了非局部能帶間

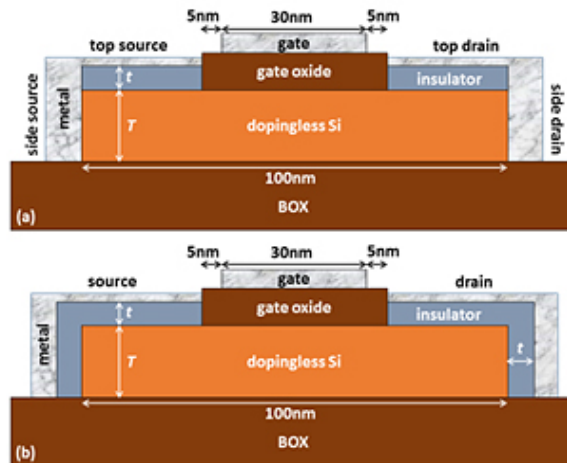


圖1. 模擬中之矽無摻雜場效應電晶體具有(a)金屬-絕緣層-半導體與金屬-半導體接觸並聯以及(b)金屬-絕緣層-半導體。模擬時以下的參數在兩個元件中皆為常數:等效閘極氧化層厚度(EOT)為1nm, 閘極長度為30nm, 閘極-源/汲極間距為5nm以及本體厚度 $T$ 為10nm。t:絕緣層厚度, BOX:覆蓋之氧化層。

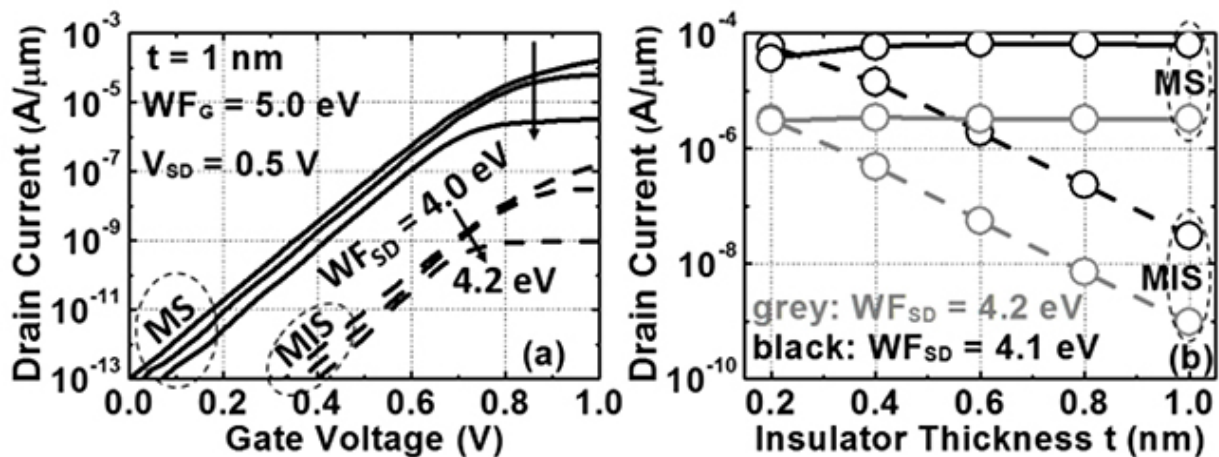


圖2(a). 矽無摻雜場效應電晶體(圖1(a))在不同 $WF_{SD}$ 之情況下使用金屬-半導體與金屬-絕緣層-半導體接觸之轉換特性 (b) 矽無摻雜場效應電晶體之汲極電流在金屬-半導體與金屬-絕緣層-半導體接觸與不同 $WF_{SD}$ 之情況下變化( $V_{DS}/V_{GS} = 0.5/1.0$  V and  $WF_G = 5.0$  eV)。在全部模擬中源/汲極絕緣層( $SiO_2$ )特別定義 $\epsilon = 3.9$ ,  $E_g = 9$  eV and  $\chi_e = 0.9$  eV。

穿隧和非局部穿隧，值得注意的是因為透過合理的假設-高 $k$ 值的金屬閘極被用在實際製程中，閘極的穿隧漏電流在模擬中被排除。聲子限制純載子移動率、載子飽和移動率和Shockley-Read-Hall產生模型也被考慮在其中。儘管金屬所導致的能隙能階不是被直接考慮，但它所造成的結果，也就是因為費米能階釘札所造成的等效源/汲極金屬功函數 $WF_{SD}$ ，在模擬當中是變數。用這個假設，如果金屬功函數解除釘札和接近理想的情況下，在圖1(b)的元件電特性表現將被提升，例如給 $n$ 通道低的 $WF_{SD} \sim 4.0$  eV。注意到矽的電子親和力 $\chi_e = 4.05$  eV，介電常數 $\epsilon = 11.9$ 和能隙 $E_g = 1.12$  eV，全部定義在模擬當中。

### 3. 結果與討論

#### 3.1 無摻雜場效應電晶體使用金屬-絕緣層-半導體與金屬-半導體接觸

眾所皆知的是，無摻雜半導體的載子電漿可以用電場透過半導體與金屬功函數差異而導引出來[3]，大部分的研究直接仰賴奈米等級以下的絕緣層( $\leq 1$  nm)、能帶邊緣的功函數(例如矽的電子為3.9 eV)以及結構類似於

圖1(a)[4]-[7]，然而，在源/汲極奈米等級以下的絕緣層穿隧還沒被討論。汲極電流 $I_{DS}$ 於圖2中在兩旁(金屬-半導體)及上方(金屬-絕緣層-半導體)的不同傳導路徑透過觀察被計算且分析，當 $WF_{SD}$ 移動到接近能隙中央時，全部的飽和 $I_{DS}$ 明顯的下降。這主要是因為蕭基能障提升和在金屬-半導體和金屬-絕緣層-半導體的絕緣層能障。在全部模擬當中維持閘極 $EOT=1nm$ 、 $WF_G=5.0eV$ 和汲極電壓 $V_{DS}=0.5V$ 為常數，金屬-半導體和金屬-絕緣層-半導體在 $V_{gs}=1V$ 、 $WF_{SD}$ 不同的情況下之飽和 $I_{DS}$ 對於不同的 $t$ 被做圖在圖2(b)，更大的 $WF_{SD}$ 同時提升蕭基和絕緣層能障高度和降低穿隧電流，和金屬-半導體電流比較，金屬-絕緣層-半導體電流與 $t$ 表現出強烈的關聯，因為 $t$ 決定在絕緣層中的整個穿隧長度，當 $t$ 薄小於 $0.5nm$ 時金屬-絕緣層-半導體飽和 $I_{DS}$ 持續指數地增加，相對的金屬-半導體飽和 $I_{DS}$ 只有緩慢地降低。這個影響到一個事實，就是源/汲極的金屬-絕緣層-半導體逐漸的成為主導的傳導路徑接觸。雖然能障降低模型只會關係到金屬-半導體接觸，且因為不能收斂的問題而沒有被放進去，但這應該不會影響到金屬-半導體接觸能隙邊緣 $WF_{SD}$ 因為這等效上已經是歐姆接觸，此接觸隨著 $WF_{SD}$ 提升預期會逐漸從歐姆接觸變成蕭基接觸，但是排除能障降低模型和低估金屬-半導體電流不會改變整體在圖2的趨勢。傳統金屬-絕緣層-半導體與金屬-半導體接觸並聯的無摻雜場效應電晶體已經有被實驗展現[3]和理論展現過[5]，其電性表現非常依賴等效功函數 $WF_{SD}$ 。非能帶邊緣等效 $WF_{SD}$ 會透過在金屬-半導體高的蕭基能障嚴重的劣化傳導電流。根據許多對中等摻雜的矽的實驗研究(總結在[13])，大多數的金屬 $WF$ (本質 $WF$ 落在3到5eV)會被釘札在大約矽的中間能隙( $\sim 4.6eV$ )。並且，當半導體是低度摻雜和無摻雜時，釘札現象會更嚴重[10] [17]。這個顯示出高的蕭基能障( $\sim 0.5eV$ )會在金屬-半導體中無摻雜矽限制載子傳導。使用2(a)圖中使用的 $WF_{SD}=4.6eV$ 和全部其他參數，汲極飽和電流會在金屬-絕緣層-半導體與金屬-半導體接觸低於 $pA/\mu m$ 和 $fA/\mu m$ (沒有在此顯示出)。因此，被定義在圖2的等效 $WF_{SD}$ 看來對於金屬-半導體接觸是太過於樂觀，然而對於金屬-絕緣層-半導體接觸而言，圍繞在能隙邊緣的等效 $WF_{SD}$ 可以用絕緣層把金屬導致的能隙能階降到最小而被實現[14]-[18]。根據圖2的獲知和以前的研究，顯示在圖1(b)的新的元件結構在下個部分被提出且討論。

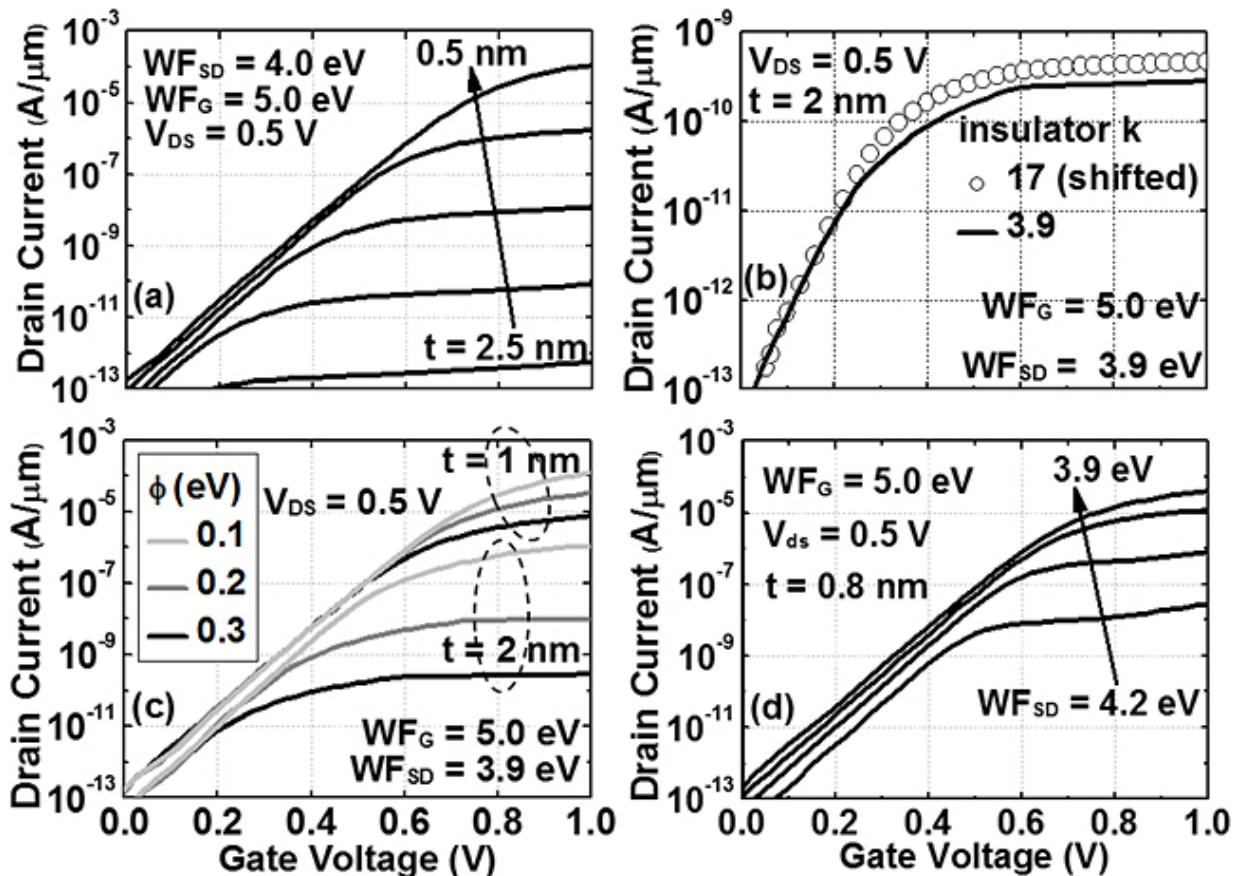


圖3.矽無摻雜場效應電晶體之特性(圖1(b))，在金屬-絕緣層-半導體接觸中配合不同的(a)  $t$  (b)  $k$  (c)  $\Phi$  和(d)  $WF_{SD}$ ，除了那些特別定義在圖中的參數，絕緣層的材料參數( $SiO_2$ )被定義： $\epsilon=3.9$ ， $E_g=9eV$ 和 $\chi_e=0.9eV$ ，為了更好區別，在圖(b)中  $k=17$ 的曲線被移動 +50 mV。

### 3.2無摻雜場效應電晶體使用金屬-絕緣層-半導體接觸

絕緣層材料參數的影響，像是 $t$ 、 $k$ 、 $E_g$ 和 $\chi_e$ ，我們所提出的元件的電性表現分別展現在圖3(a-c)，更薄的 $t$ 可以因為降低在金屬-絕緣層-半導體接觸中等效的穿隧電阻提供更高的 $I_{DS}$ (圖2(b))，在金屬-絕緣層-半導體接觸的絕緣層中有更高的 $k$ 值可以提高開電流(圖3(b))，而且可以解釋成更高的被引導電子密度進入大區域，對傳導電流有良好的影響(圖4)。另外，給定一個 $WF_{SD}$ ，如果絕緣層的 $E_g$ 因為價帶提高而降低，電性表現則沒有任何影響被觀察到(沒有在此顯示出)，這是因為在源極金屬-絕緣層-半導體接觸電子穿隧機率是金屬 $WF_{SD}$ 和絕緣層 $\chi_e$ 中間的能障高度 $\Phi$ 的函數(介於在汲極金屬-絕緣層-半導體接觸半導體和絕緣層之間)。因此，圖3(c)表示了給定的 $WF_{SD}$ 不同的 $\Phi$ 和 $t$ 的特性，開電流因為更高的穿隧機率隨著 $\Phi$ 降低而上升，而且增加的幅度會隨著 $t$ 越來越薄而越來越不明顯。此外，用同樣的原因藉由改變 $WF_{SD}$  (圖3(d))，開電流也展現了與 $\Phi$ 強烈的關聯。

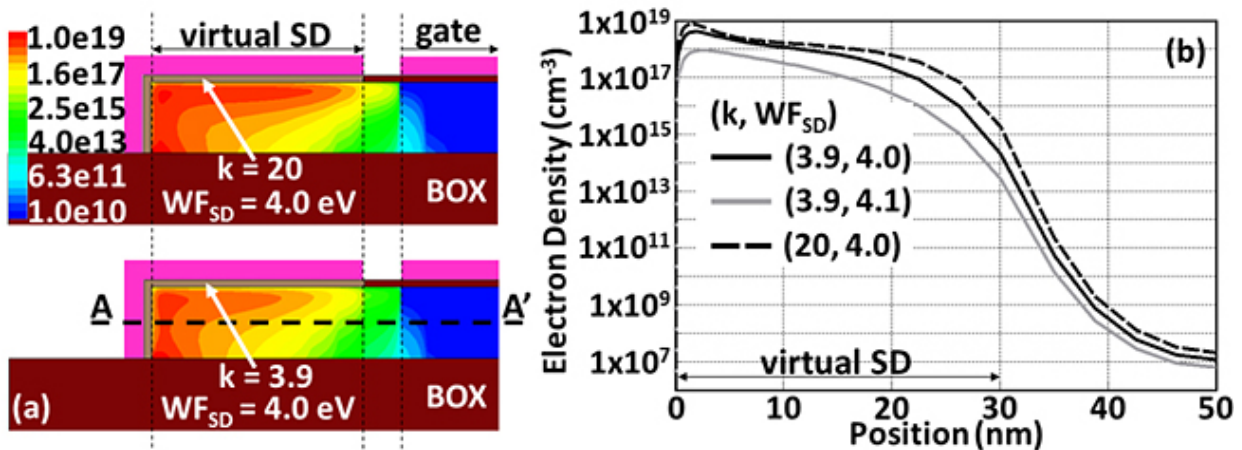


圖4.(a) 2D和(b) 1D在不同 $WF_{SD}$ 和絕緣層 $k$ 值電子密度分布(cm $^{-3}$ )，1D的分布圖是擷取自沿著AA'方向的切線。模擬透過絕緣層常數 $E_g=9$ eV、 $\chi_e=0.9$ eV、 $t=1$ nm和在 $V_{GS}=V_{DS}=0$ V時 $WF_G=5.0$ eV的條件下而完成。因為結構和偏壓的對稱性，只有展現一半的分布圖。

圖4展現了在不同的 $WF_{SD}$ 和絕緣層 $k$ 值的電子密度分布圖。電子密度是被更高的 $k$ 值絕緣層而被引導得更廣(圖4(a))和更高(圖4(b))。這是因為在給定的半導體和金屬 $WF_{SD}$ 功函數差中，在半導體中位能下降更多導致給引導載子更高的電場。電子密度在圖4(b)中三個條件下的最大值是 $8.0 \times 10^{18}$ ， $4.4 \times 10^{18}$ 和 $9.7 \times 10^{17}$ cm $^{-3}$ ，而且因為量子侷限效應，在絕緣層介面中這些數值是不對的。

根據圖1的元件結構且配合電極定義在邊緣的位置，我們展現了模擬結果，這表示電極的厚度是0。然而，當所有的電極厚度增加至10奈米然後隔絕層都充滿SiO $_2$ 時，這對於電性表現(對於閾值電壓 $V_{th}$ 和 $I_{DS}$ )和能帶圖(沒有在此顯示出)並沒有明顯的差異。在假設閾極的位能只是被 $WF_G$ 和EOT所緊密掌控，不會預期閾值電壓 $V_{th}$ 會移動；而對於 $I_{DS}$ ，這主要被串聯電阻所限制，而串聯電阻主要是被金屬-絕緣層-半導體接觸中的量子穿隧效應所主導。

## 4.結論

此篇研究矽無摻雜場效應電晶體配合源/汲極使用金屬-半導體和金屬-絕緣層-半導體的並聯或是配合金屬-絕緣層-半導體。我們發現到，如果給定金屬功函數且絕緣層足夠薄，金屬-半導體和金屬-絕緣層-半導體接觸是並聯的狀態，電流可能會主要流經過金屬-絕緣層-半導體接觸。如果是我們所提出的元件結構-在源/汲極只使用金屬-絕緣層-半導體接觸，開電流可以透過降低金屬-絕緣層-半導體接觸的絕緣層之物理厚度、降低能障高度和增加介電常數而增加。更低的等效 $WF_{SD}$ 也會透過在金屬-絕緣層-半導體接觸中增加電子穿隧機率而提升開電流，而且這是在現實中可以實現的，透過在矽無摻雜場效應電晶體中金屬費米能階解除釘札的方法。絕緣層在較低的 $k$ 值可能會緩和理論中的金屬所導致的能隙能階和費米能階釘札效應，其他有趣的發現強調在透過引導更多的載子密度和更好傳導性，更高的 $k$ 值可以增加 $I_{DS}$ 。而且隔絕層的影響似乎在我們所提出的元件中可以被忽略，這份研究結合了在無摻雜場效應電晶體半導體和金屬-絕緣

層-半導體歐姆接觸中載子電漿的觀念，也預測了我們所提出的元件的電性表現，它提供了普遍的指導方針，結合了設計無摻雜場效應電晶體配合在源/汲極中金屬-絕緣層-半導體接觸使用高k值絕緣層的物理觀念。

#### 參考文獻

1. S. M. Sze and K. K. Ng, "Physics Of Semiconductor Devices", 3rd ed. New York, NY, USA: Wiley, 2007.
2. J. M. Larson and J. P. Snyder, "Overview And Status of metal S/D Schottky-Barrier MOSFET Technology," IEEE Trans. Electron Devices, vol. 53, no. 5, pp. 1048-1058, May 2006.
3. B. Rajasekharan, R. J. E. Hueting, C. Salm, T. Van Hemert, R. A. M. Wolters, and J. Schmitz, "Fabrication And Characteristic Of The Charge-Plasma Diode," IEEE Electron Device Lett., vol. 31, no. 6, pp. 528-530, Jun. 2010.
4. M. J. Kumar and S. Janardhanan, "Doping-less Tunnel Field Effect Transistor: Design and Investigation," IEEE Trans. Electron Devices, vol. 60, no. 10, pp. 3285-3290, Oct. 2013.
5. C. Sahu and J. Singh, "Charge-Plasma Based Process Variation Immune Junctionless Transistor," IEEE Electron Device Lett., vol. 35, no. 3, pp 411-413, Mar. 2014.
6. C. Sahu and J. Singh, "Potential Benefits And Sensitivity Analysis Of Dopingless Transistor For Low Power Applications," IEEE Trans. Electron Devices, vol. 62, no. 3, pp. 729-735, Mar. 2015.
7. F. Bashir, S. A. Loan, M. Rafat, A. R. M. Alamoud, and S. A. Abbasi, "A High-Performance Source Engineered Charge Plasma-Based Schottky MOSFET On SOI," IEEE Trans. Electron Devices, vol. 62, no. 10, pp. 3357-3364, Oct. 2015.
8. A. Dimoulas, P. Tsipas, A. Sotiropoulos, and E. K. Evangelou, "Fermi-Level Pinning And Charge Neutrality Level In Germanium," Appl. Phys. Lett., vol. 89, no. 25, p. 252110, 2006.
9. D. Connelly, C. Faulkner, P. A. Clifton, and D. E. Grupp, "Fermi-Level Depinning For Low-Barrier Schottky Source/Drain Transistors," Appl. Phys. Lett., vol. 88, no. 1, p. 012105, 2006.
10. M. K. Husain, X. V. Li, and C. H. De Groot, "High-Quality Schottky Contacts For Limiting Currents In Ge-Based Schottky Barrier MOSFETs" IEEE Trans. Electron Devices, vol. 56, no. 3, pp. 449-504, Mar.2009.
11. V. Heine, "Theory Of Surface States," Phys. Rev., vol. 138, p. A1689, Jun. 1965.
12. W. Mönch, Electronic Properties Of Semiconductor Interfaces, New York, NY, USA: Springer, 2004.
13. T. Nishimura, K. Kita, and A. Toriumi, "Evidence For Strong Fermi-Level Pinning Due To Metal-Induced Gap States At Metal/Germanium Interface," Appl. Phys. Lett., vol. 91, no. 12, p. 123123, 2007.
14. M. Kobayashi, A. Kinoshita, K. Saraswat, H.-S. P. Wong, and Y. Nishi, "Fermi Level Depinning In Metal/Ge Schottky Junction For Metal Source/Drain Ge Metal-Oxide-Semiconductor Diode-Effect-Transistor Application," J. Appl. Phys., vol. 105, no. 2, p. 023702, 2009.
15. A. M. Roy, J. Y. J. Lin, and K. C. Saraswat, "Specific Contact Resistivity Of Tunnel Barrier Contacts Used For Fermi Level Depinning," IEEE Electron Device Lett., vol. 31, no. 10, pp. 1077-1079, Oct. 2010.
16. A. Agrawal, J. Lin, M. Barth, R. White, B. Zheng, S. Chopra, S. Gupta, K. Wang, J. Gelatos, S. E. Mohney, and S. Data, "Fermi Level Depinning And Contact Resistivity Reduction Using A Reduced Titania Interlayer In n-Silicon Metal-Insulator-Semiconductor Ohmic Contacts," Appl. Phys. Lett., vol. 104, no. 11, p. 112101, 2014.
17. H. Yu, M. Schaekers, K. Barla, N. Horiguchi, N. Collaert, A. V.-Y. Thean, and K. De Meyer, "Contact Resistivities Of Metal-Insulator-Semiconductor Contacts And Metal-Semiconductor Contacts," Appl. Phys. Lett., vol. 108, no. 17, p. 171602, 2016.
18. J. Borrel, L. Hutin, O. Rozeau, M.-A. Jaud, S. Martinie, M. Gregoire, E. Dubois, and M. Vinet, "Modeling Of Fermi-Level Pinning Alleviation With MIS Contacts: N And pMOSFETs Cointegration Considerations-Part I," IEEE Trans. Electron Devices, vol. 63, no. 9, pp. 3413-3418, Sep. 2016.
19. Sentaurus Device, Synopsys, Inc., Mountain View, CA, USA, 2013.