

# 可用於3維積體電路並具有保形摻雜與加入二氧化碳微波雷射退火之次5奈米高效能多晶矽無接面電晶體

李耀仁<sup>1</sup>、卓大鈞<sup>2</sup>、宋伯融<sup>1</sup>、高國興<sup>3\*</sup>、等等

<sup>1</sup>國家奈米元件實驗室

<sup>2</sup>國立交通大學

<sup>3</sup>國立成功大學

kaofrank@mail.ncku.edu.tw

*IEEE IEDM Tech. Dig.*, accepted, 2015.

**在**過去幾十年中，半導體產業的主要趨勢為縮小金氧半場效電晶體(MOSFET)的物理尺寸，並且能夠在開關速度、積體電路的密度、功能性以及微處理器的成本上有明顯的躍進。然而縮小尺寸會造成短通道效應，並且增加次臨界導通時的漏電流和功率消耗，因此除了加強閘極的控制外，另一種方法是減少摻雜界面深度，其可以降低從源極到汲極的漏電流。此著作主要使用超淺和外殼摻雜分布(深度小於5nm，陡峭度 $\sim 0.6$  nm/dec，由無損傷性和自限性的化學單層摻雜技術製成，以及低溫微波退火)於低功率奈米電子元件的特性研究。



相較於現有的MOSFET，無接面電晶體在製作上比較容易，而在通道和氧化物介面的遷移率也不容電流大小。此外，經理論及實驗的證明，多重閘極無接面電晶體在室溫下能表現出理想的次臨界擺幅(SS $\sim 60$ mV/dec)。因此，無接面電晶體這個著作主要研究的元件。

所有使用矽的無接面電晶體都是在奈米尺度下，和使用多重閘極結構如鰭式和環繞式閘極，都為了能夠有效的關閉元件。根據量子力學，電荷傳輸會被狀態密度所限制，以及因為接觸面積很小導致串聯電阻增加，都不利於無接面電晶體的表現。然而，在背後的物理機制目前還不清楚。在這個研究計劃，我們將使用數值分析及模擬，探討並設計和優化超淺殼摻雜分佈的無接面電晶體。

*Copyright 2016 National Cheng Kung University*