

CMOS功率元件於熱載子效應及負載不匹配產生退化之研究

蘇炎坤^{1,*}、劉鍵炫¹、王瑞祿²、涂志和³、莊英宗³

¹國立成功大學電機資訊學院微電子工程研究所, ²國立高雄師範大學電子工程學系, ³國家研究院國家晶片中心
yksu@mail.ncku.edu.tw

IEEE Electron Devices Letter v.29, no.9, pages 1068-1070, SEP 2008

摘要

在本論文中，我們研究nMOS電晶體因熱載子效應和負載不匹配所造成的退化。直流與高頻特性，如汲極電流、臨界電壓、轉導值、輸出功率、功率附加效率等，皆因熱載子效應而造成影響。當負載不匹配產生時，電晶體會因為反射功率而使得載子的能量上升。這樣的現象會使直流跟功率特性嚴重退化。本論文中量測頻率為5.2GHz。



I. 序論

在奈米等級的電晶體中，因通道長度縮小，使得在汲極與源極之間的電場強度變得更大。此橫向電場升高時，會在接近汲極的位置感應出高能量的熱載子，因而對閘極的介電質造成傷害且使得電晶體特性產生退化。熱載子效應所造成的特性退化包含：臨界電壓偏移、汲極電流減小、轉導降低¹。在高頻特性方面，則會影響到截止頻率與最大共振頻率²。因為以上所列之特性同時退化，輸出功率特性也因而降低。高能量載子的形成，也同時使得通道中更多載子處於隨機跳動的情況，因此增加了電晶體之熱雜訊與1/f雜訊^{3,4}。考量電晶體因熱載子效應所產生的直流與高頻特性的退化，可以預測電路在通訊系統中的可靠度。

當設計功率放大器時，為了得到電晶體的最佳功率輸出，會使用負載拖引系統。在此系統中，利用調整電源端與負載之阻抗，以選擇最佳匹配點。但通常得到最大輸出功率時之負載阻抗，並不會與電晶體之輸出阻抗形成完美匹配。這樣不匹配的情況之下，負載端的反射係數將不會等於零。因此會產生反射功率，並回授到電晶體之汲極端，增加載子之能量，而對於閘極介電質造成更大的破壞，使熱載子效應更嚴重。若電路中的輸出匹配網路設計不良時，不匹配所產生的反射功率將會更大，電路的可靠度因此會變差。雖然這種負載阻抗不匹配的情況在功率放大器中很常見，但還沒有論文針對這個問題做詳細的探討。

過去對於電晶體的可靠度所進行的研究，主要針對於直流應力或是低頻的動態應力^{5,6}。但這些研究並不能完整表現出實際元件在高頻率與高功率電路中的操作模式。筆者在先前已經研究過不匹配程度與佈局樣式對於退化程度的相互關係⁷。因熱載子效應所造成的退化，在高頻率與高功率操作下，會更加嚴重。

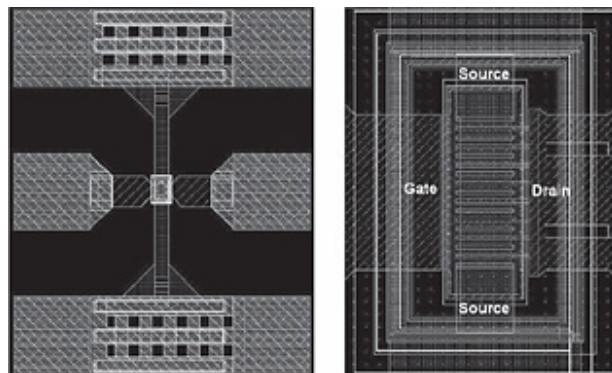
本論文主要研究目標為功率元件在高功率放大器中運作時，所造成的退化情形。使用之元件設計之輸出功率可以達到10dBm。操作頻率為5.2GHz，應用於802.11a之無線通訊系統。根據量測結果，由負載阻抗不匹配造成的反射功率應力下，增加熱載子效應，產生之退化程度，高於直流高偏壓應力。同時也量測出特性退化與熱載子效應強度之間的關係。

II. 實驗

本實驗中使用 $0.18\ \mu\text{m}$ triple-well 1P6M CMOS製程之N型金氧半電晶體。選擇之尺寸與操作偏壓點，以達到10dBm之功率輸出。未經過應力測試的元件，在 $V_{DS}=1.8\text{V}$ ， $V_{GS}=1.2\text{V}$ 的偏壓下，汲極電流為24.52mA。圖1為電晶體之佈局圖。本元件由16根指叉型架構形成，每一根之通道寬度為 $5\ \mu\text{m}$ ，總寬度為 $80\ \mu\text{m}$ ，通道長度為 $0.18\ \mu\text{m}$ 。元件大小為 $28.7 \times 20.6\ \mu\text{m}^2$ ，包含量測下針用之金屬電極。

為了比較直流與高頻應力兩者所造成之退化程度，本研究進行兩種測試。與其他常見之可靠度之測試相同，在直流應力量測中，將電晶體偏壓在高電壓情況下， V_{gs} 為 1.8V ， V_{ds} 為 2.5V 。在此情況下，直流電流為原本設定的兩倍。在高頻應力量測中，輸入功率分別設定0、-3、-6dBm三個值，偏壓則是在原本的設計， V_{gs} 為 1.2V ， V_{ds} 為 1.8V 。負載阻抗不匹配則設定為負載反射係數等於 $0.351\angle -40.33^\circ$ 。

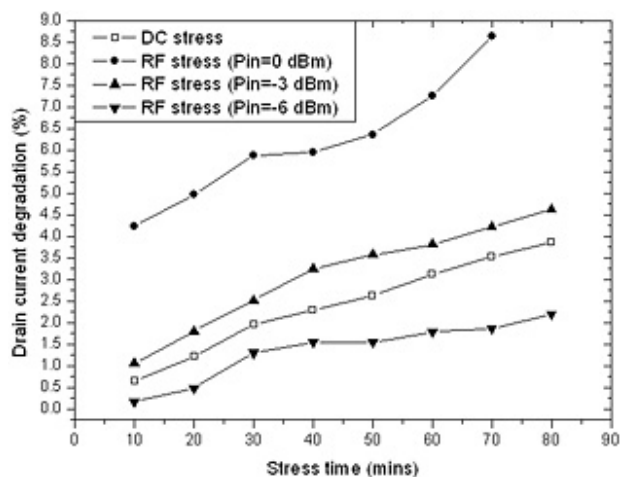
元件直流特性之量測在室溫(25度C)下使用Agilent 4142B Modular DC Source/Monitor。功率量測使用Agilent 8241A訊號產生器和Anritsu ML2438A功率電表。負載拖引系統為MAURY 982B01。功率特性量測頻率為 5.2GHz 。



圖一：(a) 本研究中設計之功率元件佈局圖 (b) 詳細架構圖。

III. 結果和討論

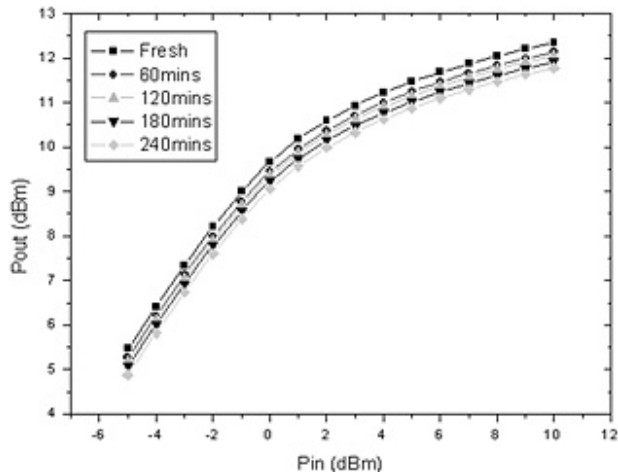
圖2顯示汲極電流之退化情況。應力後，元件之直流電流值量測偏壓為 $V_{DS}=1.8\text{V}$ ， $V_{GS}=1.2\text{V}$ 。在直流與高頻應力下，因熱載子效應所造成之退化程度都隨著時間增加而上升。經過80分鐘之直流應力量測後，退化達到4%。在高頻應力量測中，負載之不匹配設定於負載反射係數為 $0.351\angle -40.33^\circ$ 。比較三種不同輸入功率，以研究輸入功率對退化之影響。80分鐘後，輸入功率為0與-3dB時，因負載不匹配所造成之退化分別達到9%與4.5%。輸入功率為-6dB時，則達到2.1%。由圖2之量測結果比較，可觀察到以下現象：一。當輸入功率增加時，所造成之退化程度將會增加。此結果表示熱載子效應之退化與輸入功率有關。二。輸入功率大於某一特定值時，高頻應力所造成的退化程度比直流應力來得大。



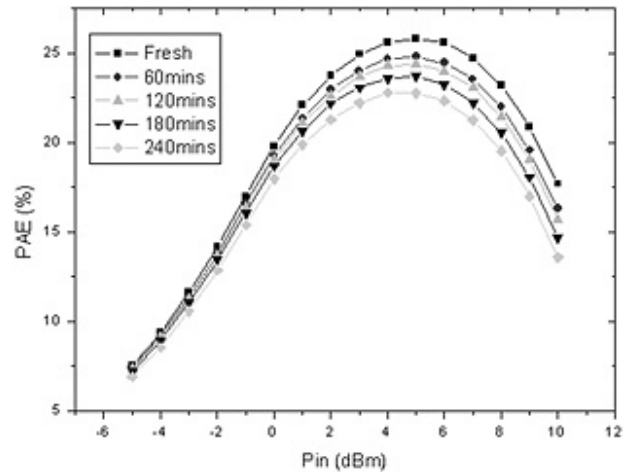
圖二：直流應力與高頻應力所造成之退化程度比較。於 $V_{gs}=1.2$ 伏特， $V_{ds}=1.8$ 伏特時量測。

高頻應力產生較大退化的主因，是因為反射功率增加了載子的能量。若通道中電子能量高於矽-二氧化矽之間的能障，會產生更多的介面能階或被俘獲載子，也對於閘極介電質造成更大的破壞，因此熱載子效應更加嚴重⁸。直流應力是由高偏壓下所形成的高電流密度與高電場，以增加通道中載子的能量。高頻應力下若輸入功率增加，退化程度增加的主因，也是因為反射功率的增加而提升載子的能量。當此提升之能量高於直流應力時，退化程度便會高於直流應力。相對而言，從此量測結果也可了解，元件若應用於高功率操作模式時，熱載子效應對於可靠度是相當重要的部分。

圖3顯示輸出功率特性的退化情形，輸入功率設定為0dBm。在240分鐘的高頻應力之後，輸出功率由9.67dBm降低至9.06dBm。圖4顯示受應力後元件之功率附加效益。經過高頻應力240分鐘後最大PAE值由25.77%退化至22.78%。共退化了3%。而這樣的退化程度顯示出當負載阻抗不匹配時，反射功率將會嚴重影響到元件之功率特性。由參考文獻來看，退化產生時，會同時改變元件之等效電路參數⁶。



圖三：操作在5.2GHz，在不同時間之高頻應力下所造成之輸出功率退化情形。



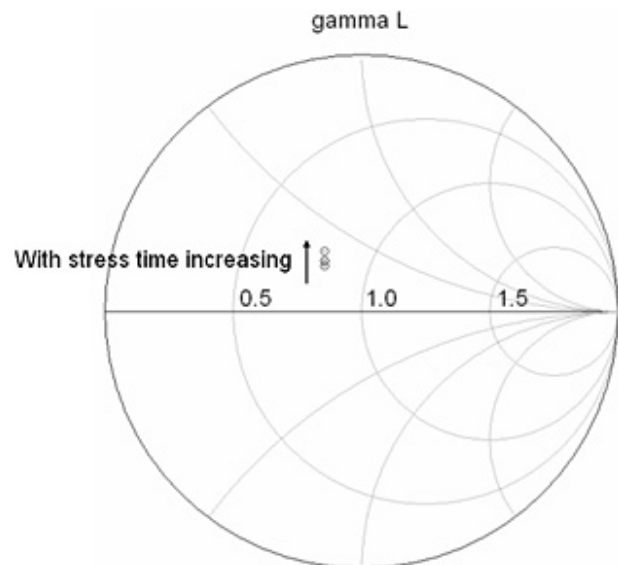
圖四：操作在5.2GHz，在不同時間之高頻應力下所造成之功率附加效益退化情形。

圖5顯示出最佳功率匹配點之負載反射係數因為熱載子效應而移動的情形。箭頭的方向代表時間增加，三個點個別代表0、120及240分鐘後所量測出的最佳功率匹配點。原始的元件之最佳功率匹配點為 $0.2310 \angle 128.6^\circ$ 。但經過應力120及240分鐘之後，分別位移至 $0.2453 \angle 125.98^\circ$ 及 $0.2753 \angle 121.57^\circ$ 。由於熱載子效應所造成的傷害是集中於接近汲極的閘極介電質，因此可以從元件輸出阻抗的變化觀察出退化的情況³。相對的，若元件之輸出阻抗改變，最佳功率匹配點當然也會產生偏移。這些量測結果在在顯示出反射功率的確會影響元件的特性，尤其是在元件的輸出端：汲極的部分。

常見會影響熱載子效應的因素是溫度。這是因為在高溫時會產生更多的固定正電荷和介面電荷⁹。在本論文中，實驗的結果證明反射功率的確會增加介面能階與束俘載子，因而使得熱載子效應更為嚴重。由最佳功率匹配點的偏移可知，熱載子效應會對元件接近汲極端的部分造成破壞，使得輸出阻抗改變。

對功率放大器電路而言，若匹配網路的特性被寄生效應或製程變異所影響，實際電路在操作時，將會因為不匹配的情況而產生反射功率，因而增加熱載子效應所造成的破壞，影響到元件的功率特性。由此可知，功率匹配的重要性，不只在於電路的功率特性，對於電路的可靠度也很重要，尤其是在高功率的應用上。

元件的截止頻率與小訊號增益在高頻應力下也會產生退化。 f_T 從62退化至60GHz，而 S_{21} 由7.657退化至7.525dB。整體而言，熱載子效應會同時對直流、高頻、功率特性都造成影響。對於電路設計者來說，因為負載不匹配所強化之熱載子效應，是很重要的考量。



圖五：操作在5.2GHz，在經過不同時間之高頻應力後，最佳功率匹配點位移之情形。

IV. 結論

本論文中討論了因為負載不匹配產生之應力，影響汲極電流與高頻功率特性退化。研究之元件為0.18 μm 製程之5 μm ×16根之n型金氧半電晶體。實驗中進行兩項應力的比較，包含高偏壓下之直流應力，以及負載不匹配所造成之高頻應力。比較兩者在汲極電流的退化程度可知，負載不匹配的影響較大，在80分鐘後造成9%的退化，而直流應力下則退化了4%。經由最佳功率匹配點的偏移也可觀察出，電晶體之輸出阻抗也因為高頻應力的影響而偏移。顯示出反射功率對於電晶體汲極的破壞特別嚴重。本論文提供此論點，建議電路設計者在設計電路時，要特別考量匹配網路的性能是否良好，以避免不匹配所造成的應力影響到電路之可靠度與功率特性。

參考書籍

- [1] S. Y. Huang, K. M. Chen, G. W. Huang, D. Y. Yang, C. Y. Chang, V. Liang, and H. C. Tseng, "Impact of hot carrier stress on RF Power Characteristics of MOSFETs," *in IEEE Int. Symp. Microwave* 2005, pp. 161-164.
- [2] J.-T. Park, B.-J. Lee, D.-W. Kim, C.-G. Yu, and H.-K. Yu, "RF performance degradation in nMOS transistors due to hot carrier effects," *IEEE Trans. Electron Devices*, vol. 47, pp. 1068–1072, May 2000.
- [3] E. Xiao., J.S. Yuan, H. Yang, "CMOS RF and DC reliability subject to hot carrier stress and oxide soft breakdown," *IEEE Trans. Device Mater. Reliabil.* vol. 4, no. 1, pp. 92-98, Mar. 2004.
- [4] B. Boukriss, H. Haddara, S. Cristoloveanu, A. Chovet, "Modeling of the 1/f noise overshoot in short-channel MOSFETs locally degraded by hot-carrier injection," *IEEE Electron Device Lett.*, vol. 10, no. 10, pp. 433-436, Oct. 1989
- [5] R. Subrahmaniam, J. Y. Chen, and A. H. Johnston, "MOSFET degradation due to hot-carrier effects at high frequencies," *IEEE Electron Device Lett.* vol. 11, no. 5, pp. 21-23, Jan. 1990
- [6] C. Yu, and J. S. Yuan, "MOS RF reliability subject to dynamic voltage stress- modeling and analysis," *IEEE Trans. Electron Devices*, vol. 52, no. 8, pp. 1751-1758, Aug. 2005
- [7] C.-H. Liu, R.-L. Wang, Y.-K. Su, C.-H. Tu, Y.-Z. Juang, "Performance Degeneration of CMOS RF Power Cells after Hot-Carrier and Load Mismatch Stresses," *in IEEE Int. Midwest Symp. Circuits and Systems* 2007, pp. 1062-1065.
- [8] M. Bourcerie, B. S. Doyle, J.-C. Marchetaux, A. Boudou, and H. Mingam, "Hot-Carrier Stressing Damage in Wide and Narrow LDD NMOS Transistors," *IEEE Electron Device Lett.*, vol. 10, no. 3, pp. 132-134, Mar, 1989
- [9] C. Yu, Y. Liu, A. Sadat, and J. S. Yuan, "Impact of Temperature-Accelerated Voltage Stress on PMOS RF Performance," *IEEE Trans. Device Mater. Reliabil.*, vol. 4, no. 4, pp. 664-669, Dec. 2004