

利用0.18- μm CMOS製程之60-GHz 毫米波共面波導饋入式Yagi天線

許順盛、魏國治、許承穎、莊惠如*

國立成功大學電機資訊學院電腦與通信工程研究所

chuang_hr@ee.ncku.edu.tw

IEEE Electron Device Letters, vol. 29, no. 6, pp. 625 – 627, June 2008.

簡介

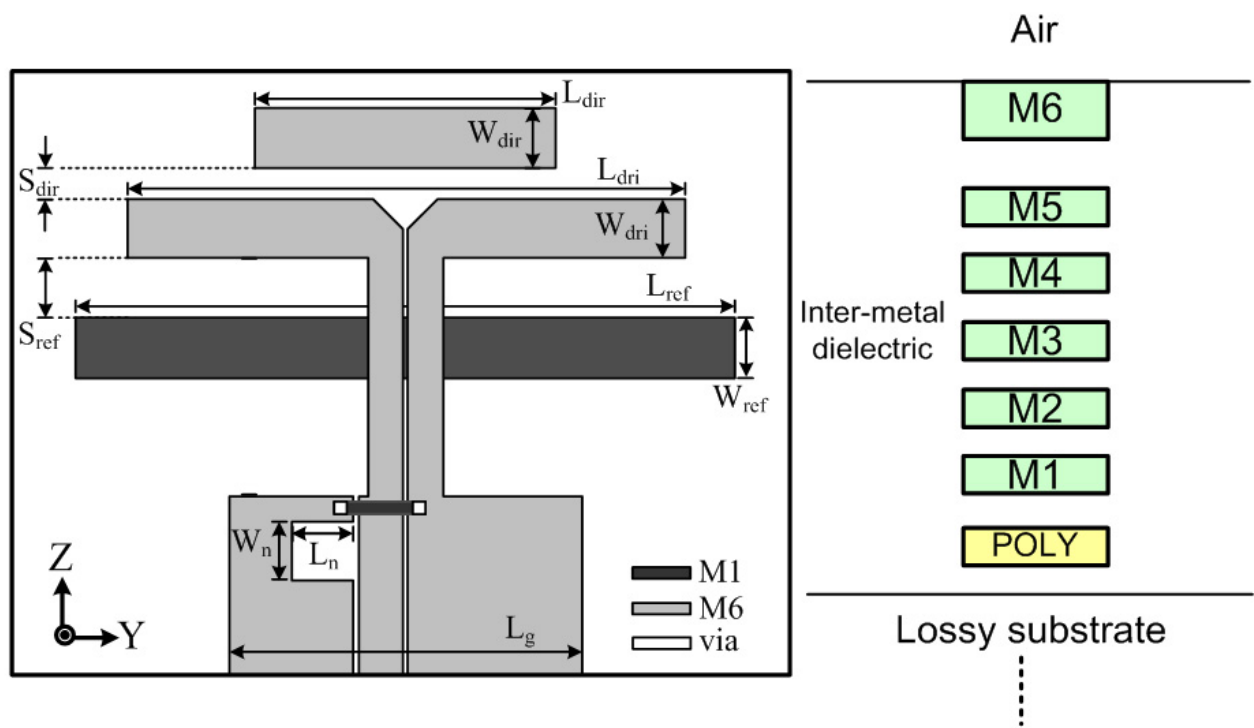
近

年來，寬頻多媒體應用需求造成無線網路容量的持續增長。

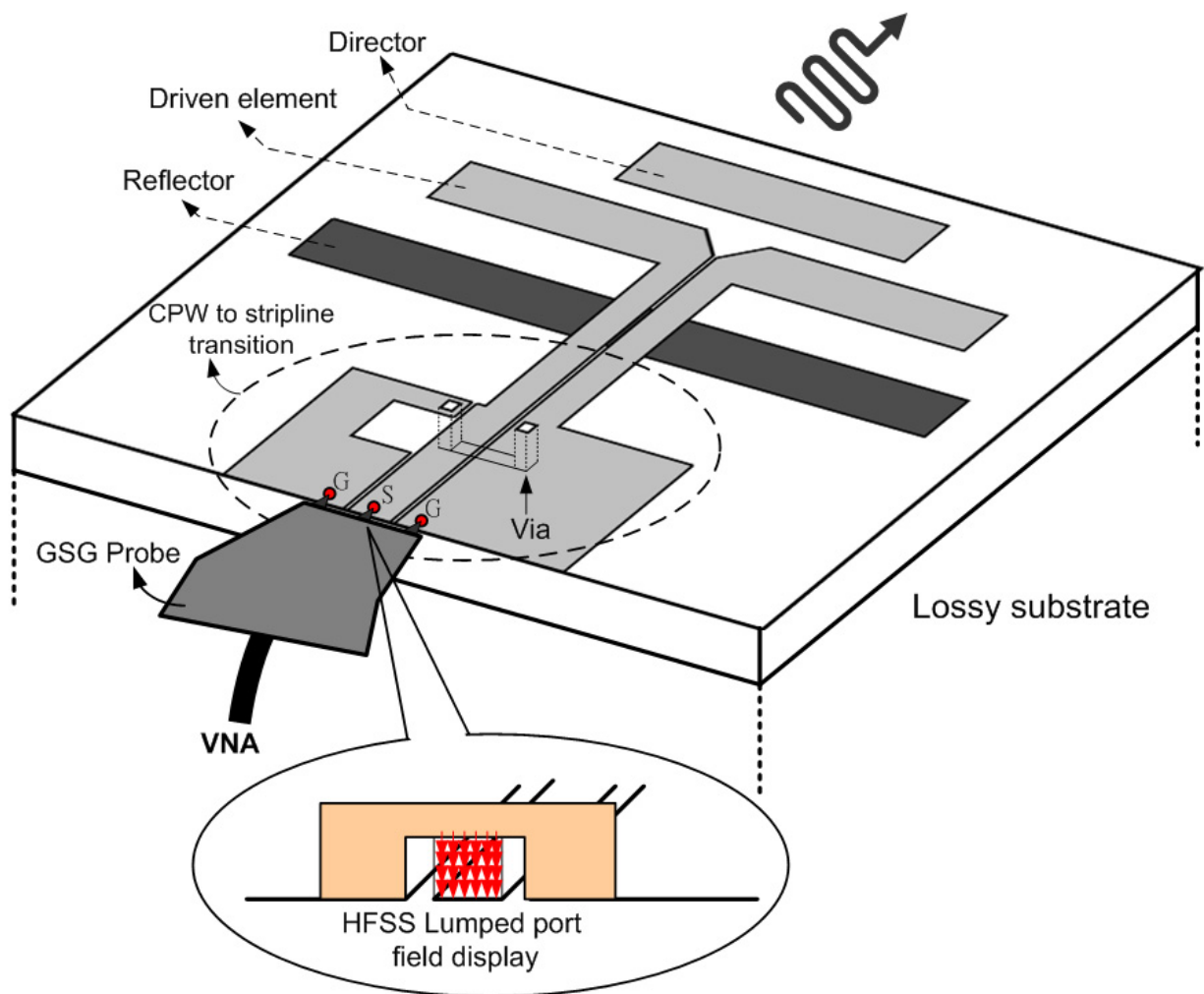
尤其是密集的短距離通信，而60-GHz無線個人區域網路(WPAN)尤其適合應用在段距離無線通信上，因為在含氧大氣中的衰減量可達到每公里10到15 dB，且頻寬可達到8-GHz。使得60-GHz頻帶在短距離無線通信系統成為一具吸引力之選擇[1]。為了達到60-GHz射頻系統嵌入式晶片與平價積體化CMOS射頻前端嵌入式晶片天線電路的要求，毫米波CMOS射頻積體電路(RFICs)與嵌入式晶片天線開始被研究[2]-[4]。而在2006年，利用低阻抗性的基板所製造的晶片型倒F型天線已經被提出[5]，而所設計之60-GHz CMOS晶片型共平面饋入Yagi天線也已經被發表，且所發表之天線是利用0.18 μm CMOS製程所製造。而不同架構之平面型共平面波導饋入方式之Quasi-Yagi天線也已經被發表，且在X-band的頻帶中，接地面常被用來當成反射金屬使用[6]-[7]。在本文的設計中，是使用

0.18 μm CMOS製程配合如圖一所示之六層金屬層來實現所設計之嵌入式晶片天線，且在饋入時是利用簡單的共平面波導轉共平面帶線的方式進行轉換[8]，利用第一層金屬層來作為反射帶。本文所提出之嵌入式晶片天線方式可簡化一般在設計Quasi-Yagi天線時所需面臨之複雜的饋入網路。而所設計之天線是利用HFSS電磁模擬軟體進行模擬，實作完成後是利用微波探針進行晶圓及量測，以量測得所設計之嵌入式晶片天線的駐波比與功率增益。



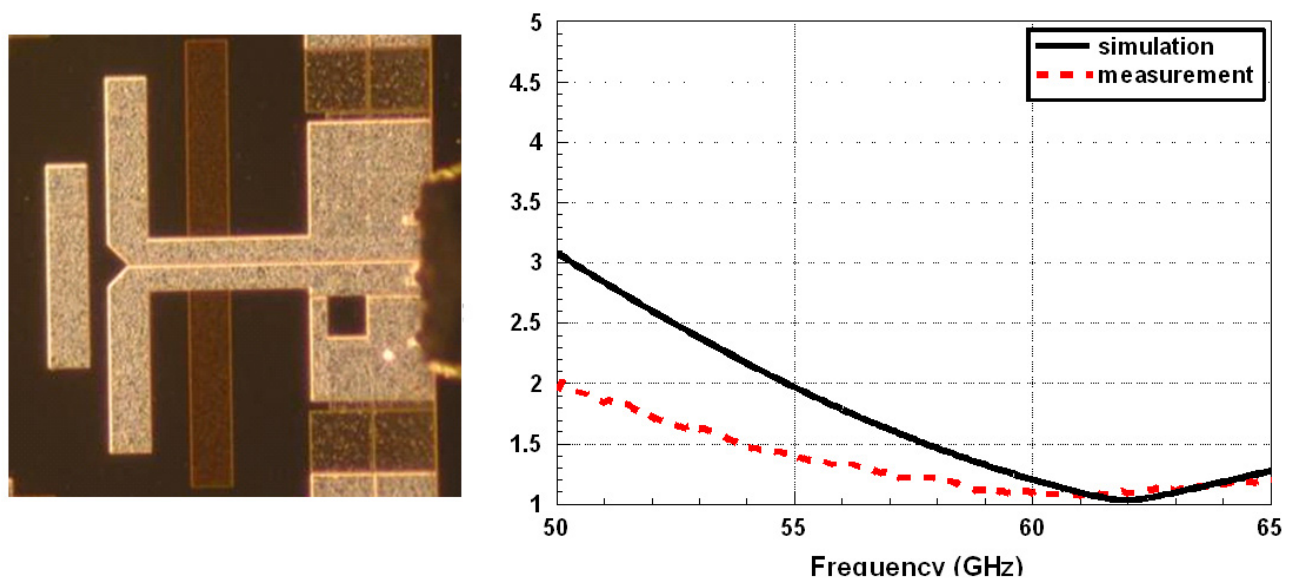


圖一、60-GHz共面波導饋入CMOS Yagi嵌入式晶片天線之架構圖



圖二、Yagi嵌入式晶片天線之HFSS模擬饋入點概要圖

天線設計



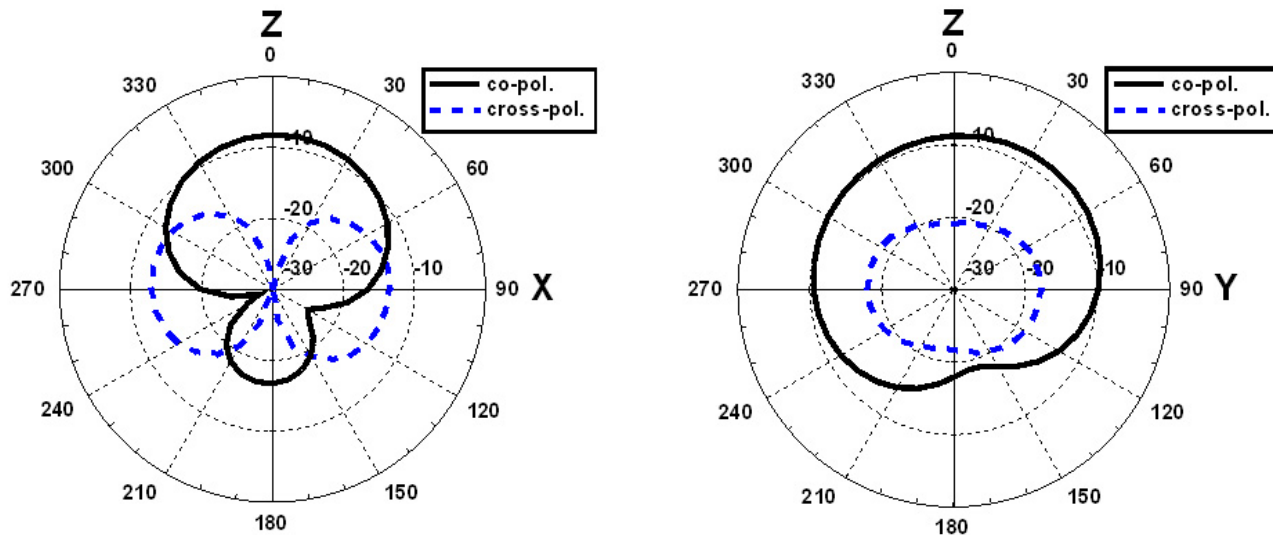
圖三、(a) CMOS晶片天線之顯微鏡照片圖、(b)模擬與量測之天線輸入駐波比

60-GHz嵌入式晶片天線架構圖如圖一所示，Yagi天線主要包含三個元件：供電之源振子(driven element)、反射器(reflector element)、引向器(director element)還有接地面(ground plane)。除了反射器(reflector element)是放在第一層金屬層(M1)之外，其他的元件則是放在第六層金屬層(M6)。如圖二所示，利用傳輸線轉換方式，將訊號輸入端之共面波導(CPW)轉換成共面帶線(CPS)；文中也概述在嵌入式晶片上利用HFSS軟體設port方式，並且也會考慮到輻射邊界條件；在共面波導(CPW)轉換成共面帶線(CPS)中，利用導通孔(via)和連接橋(bridge, M1)連接兩條帶線，而接橋(bridge, M1)主要是為了讓兩個接地面等電位[8]-[9]。根據Yagi天線原理，供電之源振子(driven element)、反射器(reflector element)和引向器(director element)的長度分別是 $0.5\lambda_{\text{eff}}$ 、 $0.6\lambda_{\text{eff}}$ 和 $0.45\lambda_{\text{eff}}$ [10]。其中， λ_{eff} 為等效波長，而等效介電常數值 ϵ_{eff} 可由矽基板之介電常數值 ϵ_r 獲得($\epsilon_{\text{eff}} = (\epsilon_r + 1)/2$) [11][12]。表一為Yagi晶片天線輻射特性總結。

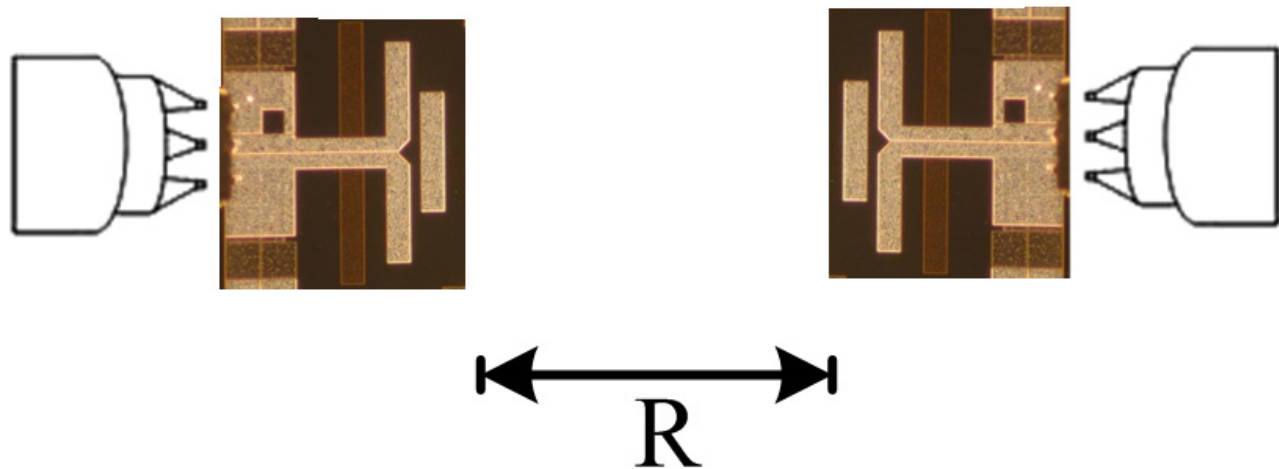
表一 Yagi晶片天線輻射特性總結

	Simulation	Measurement
Frequency range (GHz)	55-65	55-65
VSWR	< 2	< 2
Radiation efficiency	10 %	-----
Max. antenna power gain (dBi)	-8	-10.6
Front-to-back ration (dB)	9	-----
Chip size	$1.1 \times 0.95 \text{ mm}^2$	

模擬與量測結果



圖四、60-GHz天線輻射功率場形模擬之XY和YZ平面



圖五、量測天線功率增益在晶圓級(on-wafer)上之裝置圖

圖三為CMOS晶片天線之顯微鏡照片圖以及模擬與晶圓上之天線(on-wafer)量測之天線輸入駐波比；此天線晶片尺寸為 $1.1 \times 0.95 \text{ mm}^2$ ，量測與模擬之輸入駐波比在55到65 GHz間低於2。圖四為60-GHz天線輻射功率場形模擬之XY和YZ平面，由模擬所得之天線場形可看出天線之最大功率增益為-8 dBi以及前後輻射比約為9 dB。不過在此要注意天線功率增益 G_p 之定義：

$$G_p = \text{方向性增益(directive gain)} \times \text{輻射效益(radiation efficiency)} \quad (1)$$

天線模擬之輻射效益為10%，推測為CMOS基板損耗所致，晶圓上之天線功率增益(on-wafer)量測方式如[13]所示，在晶圓級(on-wafer)天線功率增益量測當中，將兩個相同的嵌入式晶片以距離(R)面對面平放，如圖五所示，一個天線當作發射端天線，另一個天線當做接收端天線。天線分別擺放距離為R要滿足遠場條件[13]：

$$R = 2D^2 / \lambda_0$$

D 為天線面積最大直徑， λ_0 則為自由空間中工作頻率的波長。從Friis功率傳輸公式可知，天線最大功率增益定義為：

$$G_t G_r = G^2 = \left(\frac{P_r}{P_t} \right) \left(\frac{4\pi R}{\lambda_0} \right)^2 = |S_{21}|^2 \left(\frac{4\pi R}{\lambda_0} \right)^2 \quad (2)$$

G_t 和 G_r 分別為發射端及接收端之天線功率增益，因為利用兩個相同天線量測，因此 $G_t = G_r = G$ 。 P_t 為發射端功率而 P_r 則為接收端功率，功率比 (P_r / P_t) 等於從向量網路分析儀直接量測值之傳輸係數 $(|S_{21}|^2)$ ，天線最大功率增益在60-GHz量測值大約為-10 dBi。表一為Yagi晶片天線輻射特性總結。表二所示為60-GHz CMOS嵌入式晶片天線特性比較表。

表二 60-GHz CMOS嵌入式晶片天線特性比較表

	CMOS Process	Freq (GHz)	VSWR	Power Gain (dBi)	F/B ratio (dB)	Chip Size (mm ²)	Efficiency(%) (Simu.)
[3] (Quasi-Yagi)	post-back-end-of-line (post-BEOL)	61-70	<3 (RL < 6 dB)	-12.5 @ 65-GHz	poor	~1.1*	5.6
This work (Yagi)	Standard 0.18 μm	55-65	<2	-10.6 @ 60-GHz	9	1.05	10

*Axial length = 1.3 mm

結論

