

累增崩潰導致橫向擴散金氧半導體導通電阻退化之研究

陳志方*、李佳叡

國立成功大學電機工程學系、微電子工程研究所

jfchen@mail.ncku.edu.tw

IEEE Electron Device Letters, Vol. 28, No. 11, pp. 1033-1035, November 2007

橫

向擴散金氧半導體(LDMOS)因為與標準CMOS製程有很高的相容性，因此廣泛地被應用在中電壓之智慧型功率電路中。當橫向擴散金氧半導體使用在開關的應用時，因為電路有電感性的負載，使得元件在ON狀態變至OFF狀態的過程中，元件內部會產生累增崩潰(avalanche breakdown)。而當累增崩潰發生時，在靠近元件汲極(drain)端的Si/SiO₂介面附近，會有強的電場產生，其影響為當元件反覆地在ON狀態與OFF狀態間操作時，此靠近汲極端的強電場，很可能會對元件造成損傷，使得元件的特性退化，造成電路操作不正常，而產生可靠度的問題，因此本文將探討元件內的累增崩潰，對橫向擴散金氧半導體導通電阻(on-resistance)退化之影響。

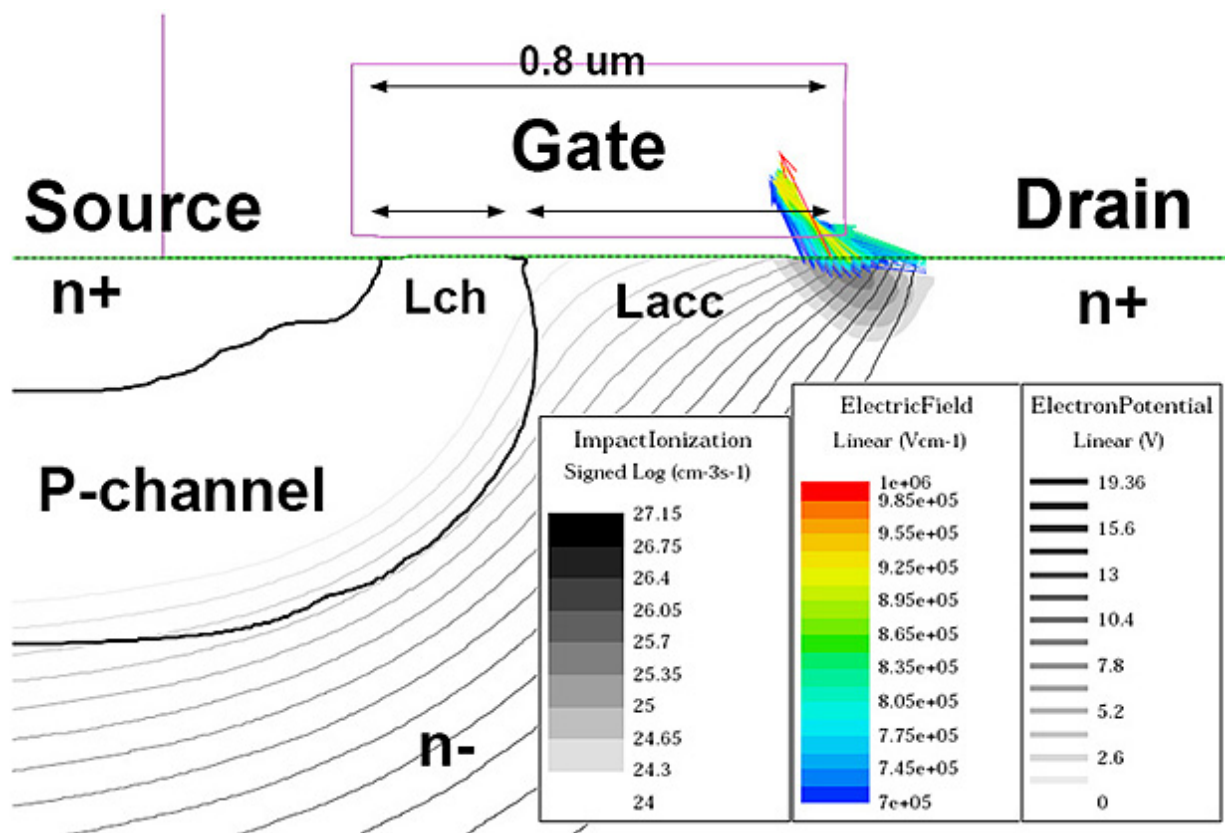


圖1、本文所使用元件之結構圖，與元件在累增崩潰環境下的電位分佈、離子衝擊分佈、與電場強度分佈。

本文所使用之元件為n型橫向擴散金氧半電晶體，此元件是由相容於0.35微米之CMOS製程所製造，元件的結構圖如圖1，圖1並顯示了元件在累增崩潰環境下的電位分佈、離子衝擊(impact ionization)分佈、與電場強度分佈，元件的通道區域(Lch)與累積區域(Lacc)亦標示於圖1。此元件具有如下之特性：閘極(gate)與汲極的操作電壓均為12 V，崩潰電壓為19.3 V，導通電阻為7 m Ω -mm²。為了探討累增崩潰對元件造成的損傷，本實驗把元件的源極(source)、閘極、基極(bulk)都接地，然後對汲極施以定電流的脈衝進行加壓測試，此測試是在室溫下進行，電流大小為1 μ A至1 mA，每個脈衝存在的時間是0.1秒，脈衝的總數目為100。在測試的過程中，元件的導通電阻定期的被監測，而且電荷幫浦電流(charge pumping current)也被量測，由電荷幫浦電流的量測結果，可以分析元件在Si/SiO₂之表面狀態密度(interface state density)與SiO₂裡的電荷缺陷密度(oxide trap density)。除了導通電阻與電荷幫浦電流的量測結果，我們也使用製程模擬軟體(TSUPREM4)與元件模擬軟體(Medici)對元件進行模擬，接下來將會藉由分析實驗的測量結果與模擬結果，探討造成元件導通電阻退化之物理機制。

圖2為元件之導通電阻退化與脈衝數目的關係，由圖2可觀察到2個現象，首先是脈衝電流較大時，元件導通電阻之退化在剛開始時會較大，但不論電流是多大，最後元件導通電阻之退化都會趨近於14%。其次是元件導通電阻之退化值，與電流大小乘以脈衝數目有密切的關係，例如元件在10 μ A經歷10個脈衝後，與元件在100 μ A經歷1個脈衝後，兩者的導通電阻退化值差不多是相同的，如此的結果，顯示累增崩潰對於元件造成的損傷大小，是由通過汲極的電荷總數來決定。而為了探討累增崩潰造成元件導通電阻退化的物理機制，圖3分析元件在加壓測試前與測試後的電荷幫浦電流，藉由TCAD模擬結果，可求出元件在Lch與Lacc區域的起始電壓(threshold voltage)與平帶電壓(flat-band voltage)分佈，進而可求得元件的表面狀態密度之橫向分佈，所得到的表面狀態密度分佈則顯示在圖3之插圖，結果顯示表面狀態密度是分佈在約離閘極邊緣70 nm的位置，並且表面狀態密度的分佈很集中，其寬度大約只有20 nm。

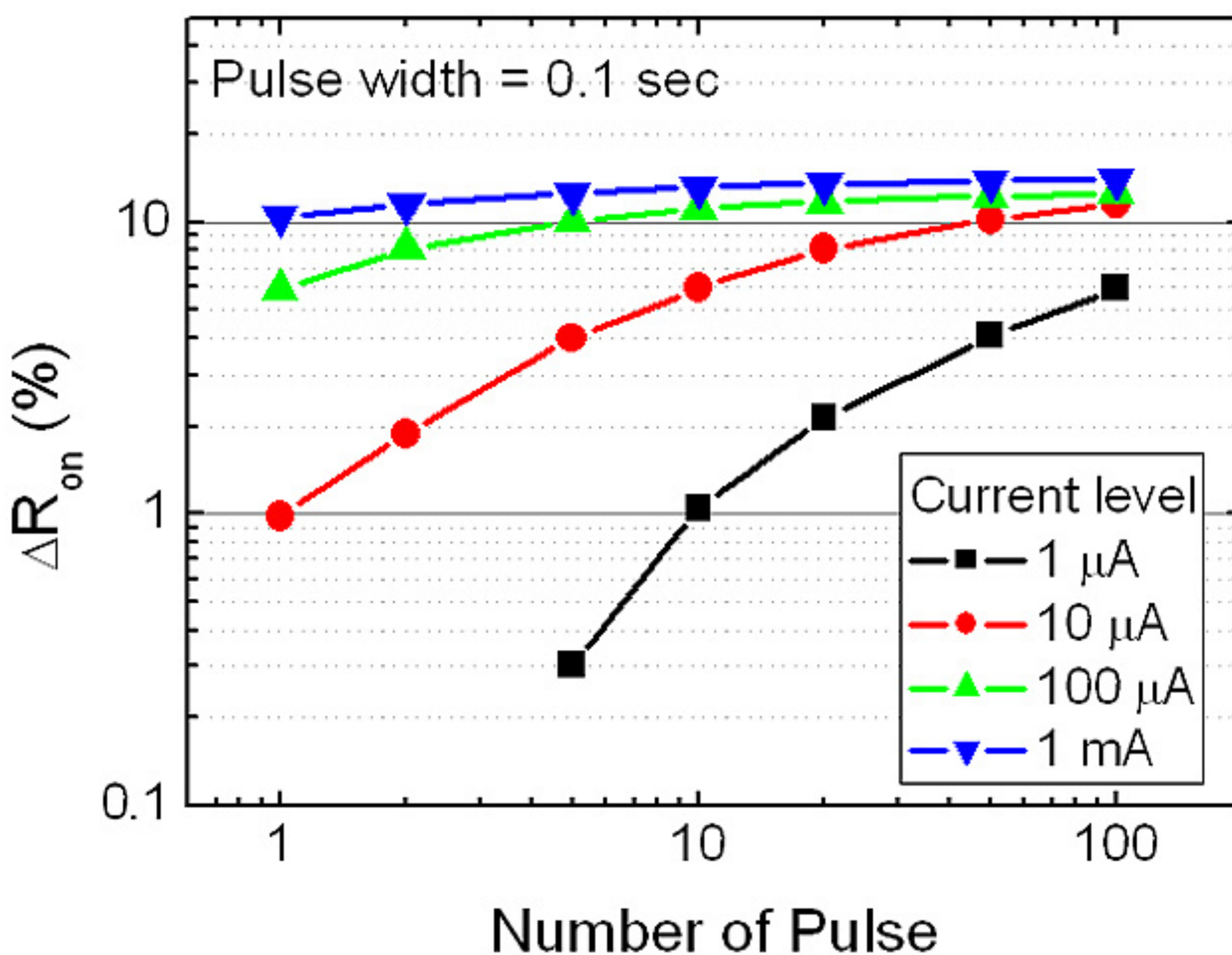


圖2、元件導通電阻退化與電流脈衝數目之關係。

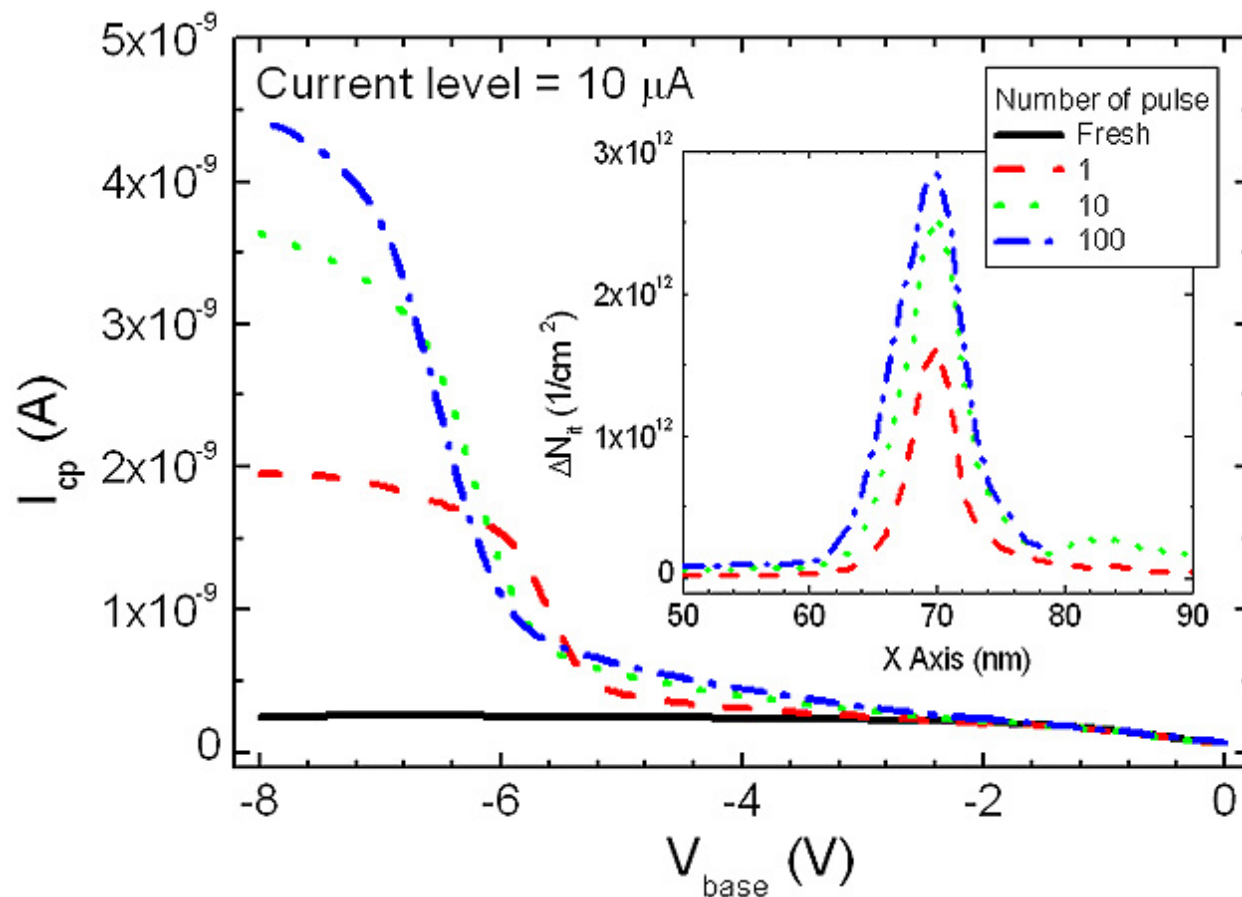


圖3、元件在加壓測試前與測試後的電荷幫浦電流，元件的表面狀態密度分佈顯示於插圖內。

除了表面狀態密度之外，本實驗也分析元件的電荷缺陷密度，由圖3電荷幫浦電流有向左偏移的結果，可得知 SiO_2 裡有正電荷的累積，其電荷缺陷密度可被求得。圖4為表面狀態密度與電荷缺陷密度其峰值與脈衝數目的關係，由圖4可觀察到2個現象，首先是表面狀態密度約比電荷缺陷密度大10倍，顯示造成元件導通電阻的退化主要是表面狀態密度的產生。其次是表面狀態密度與電荷缺陷密度都有隨脈衝數目增加而飽和的現象，此與圖2之導通電阻有飽和的現象是一致的。由圖1至圖4的結果分析，可歸納得到累增崩潰導致元件導通電阻退化之物理機制，如下所述。累增崩潰造成靠近汲極的區域有大量的離子衝擊產生，因離子衝擊而產生的電子會流到汲極，大多數因離子衝擊而產生的電洞會流到基極，但有少部分的電洞因高電場之影響(如圖1)而注入至閘極，這些注入的高能量電洞造成表面狀態密度與電荷缺陷密度之產生，但表面狀態密度與電荷缺陷密度之增加都有飽和的趨勢(如圖4)，因此元件的導通電阻退化亦有飽和的現象(如圖2)。

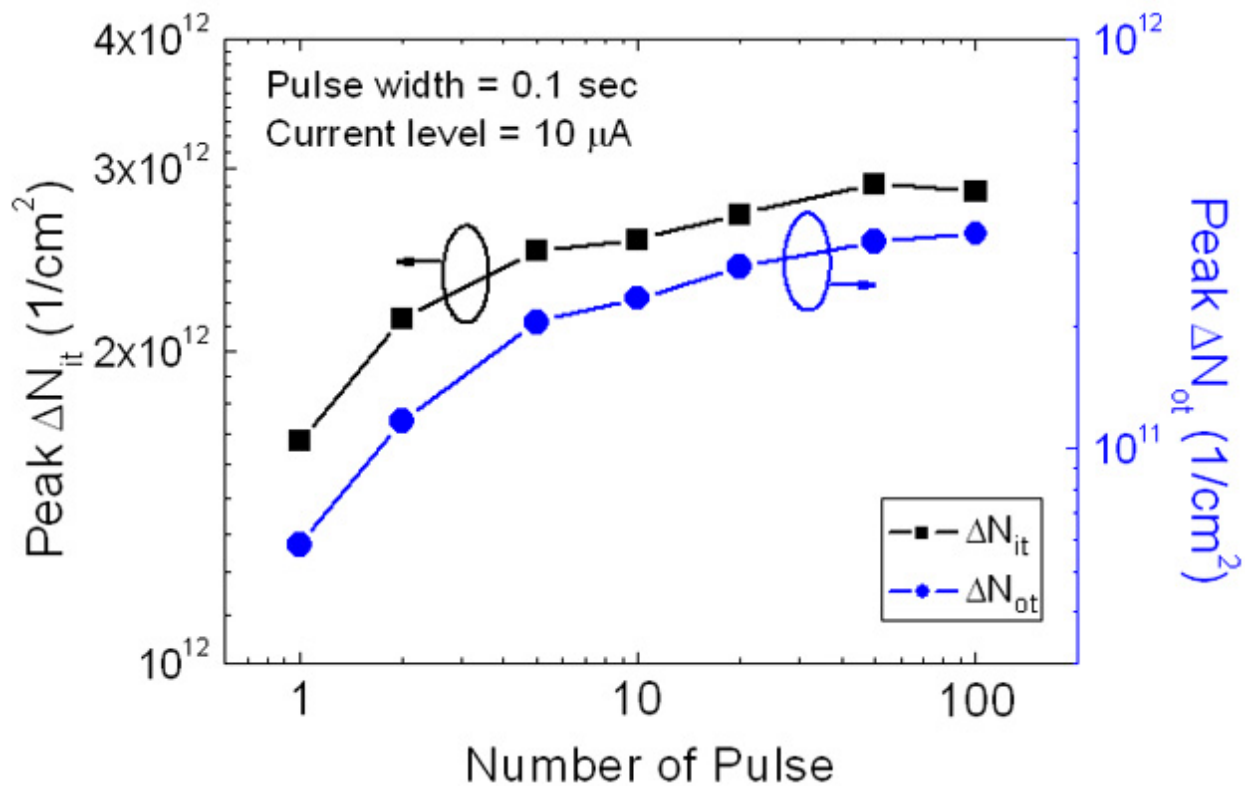


圖4、元件表面狀態密度與電荷缺陷密度之峰值與電流脈衝數目之關係。

藉由本文的研究，可明白累增崩潰對元件導通電阻退化之影響，並瞭解造成元件特性退化的物理機制，因此未來在製造橫向擴散金氧半電晶體時，累增崩潰造成元件導通電阻退化此可靠度的問題，應加以重視並列入元件可靠度檢測的項目。