

利用電荷充放電及低頻雜訊量測技術精確評估 90nm In-halo nMOSFETs 熱回火後的缺陷動態行為

方炎坤*, 賴建銘, 江彥廷

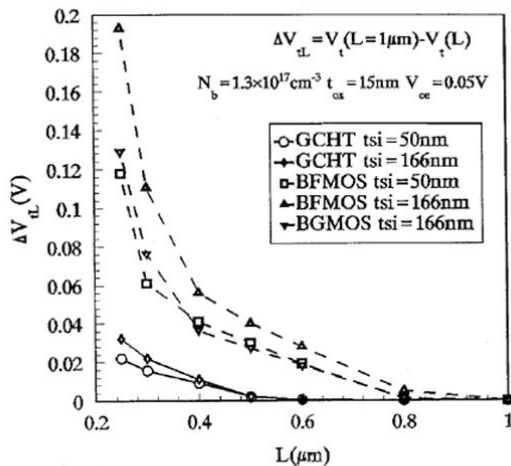
國立成功大學電機工程學系

ykfang@eembox.ee.ncku.edu.tw

IEEE ELECTRON DEVICE LETTERS, 28(2), p. 142-4 (2007)

如圖一所示, 隨著ULSI(Ultra Large Scale

Integration)的尺寸不斷地縮小, 因短通道效應(SCE)所產生的臨界電壓偏移也不斷地擴大。尤其當元件縮到奈米尺寸時, 這個偏移更成為元件特性優劣關鍵的所在。業者通常是使用環形佈植(halo implantation)及回火(post-thermal annealing)來克服這個短通道效應。圖二a說明環形佈植的示意圖, 基本上環形佈植是一個低能量低電流的 45° 的離子佈植技術, 它可以減少源/汲極對通道長度的侵蝕, 因而可有效降低短通道效應如圖二b所示。以nMOSFET為例, 常用的環形佈植有兩種, 一種是硼佈植, 另外一種是銻佈植。銻佈植因具有較低的擴散特性, 而被奈米CMOS元件廣泛使用。但是因銻也具有較大的質量, 在佈植後會產生較嚴重的缺陷, 故需額外的回火步驟。



資料來源: R. U. Huang and Yang Yuan Wang, "Comprehensive analysis of the short channel effect in the SOI gate controlled hybrid transistor (GCHT)", *INT. J. ELECTRONICS*, Vol. 86, No. 6, p.685-698, 1999.

Fig. 1. 臨界電壓偏移量(ΔV_t) 隨通道長度縮減而上升。

以往對於銻佈植及回火損害元件的特性的研究報告大多是使用直流量測分析的結果。這個結果對於元件的使用者而言較不具使用價值。理由(一)為元件是使用於動態的狀態之下, 但量測是用直流, 兩者之間的關連性較少, 理由(二)為以往的研究中往往忽略最容易受影

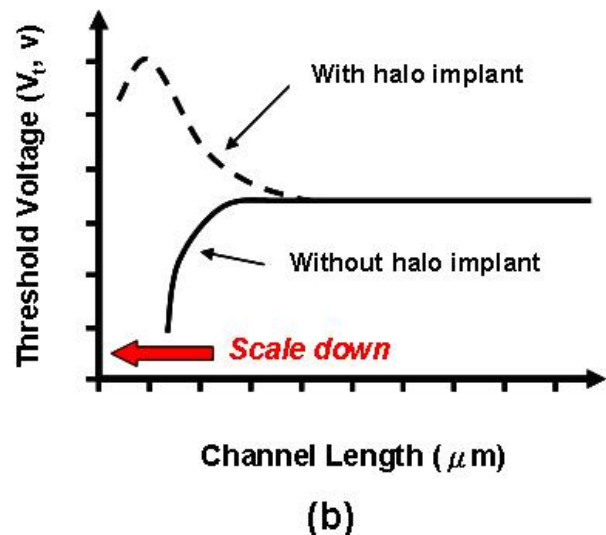
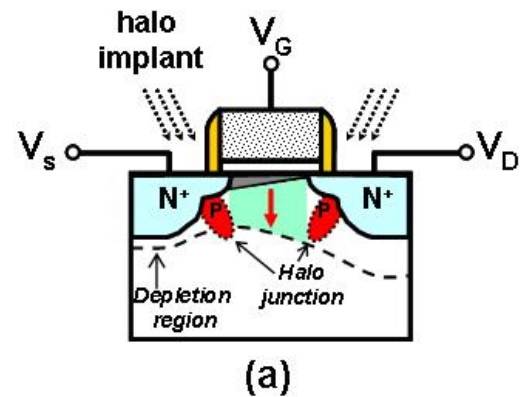
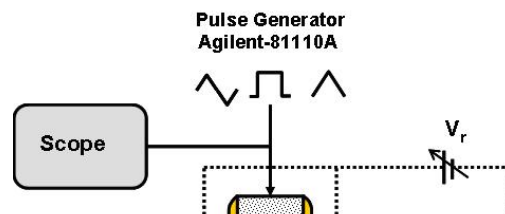


Fig. 2. (a) 環形佈植製程之概圖, (b) 通道長度縮減時, 有無環形佈植對於臨界電壓的變化的比較。

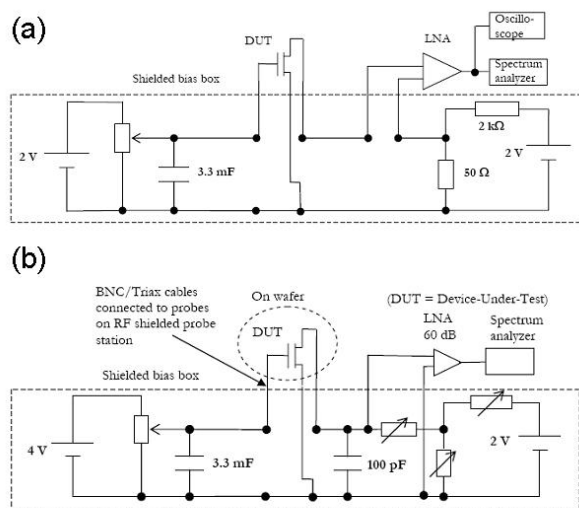


響的閘極缺陷及界面缺陷的探討使得研究結果較不完整。動態量測方法中使用最廣的為電荷充放電(charge pumping measurement)技術。因為電荷充放電技術具有不受閘極漏電流影響的優點。這點在奈米元件是非常重要的，因為這時候的閘極厚度非常薄，漏電流也相當大。吾人利用圖三的示意圖來簡略說明電荷充放電量測技術。如圖所示，元件的源/汲極一起連接於可改變電壓的電源。當元件受高電位脈衝波影響達到反轉時，基板表面變為導通使得電子在源/汲極之間可藉通道移動，此時移動中的電子容易受到表面缺陷捕獲。當元件閘極處於低電位脈衝時通道恢復到空乏，使得移動的載子回復到源/汲極端。這時在通道中被表面缺陷捕獲的載子，會和來自基板的多數載子再結合(recombination)，增加載子到基板的電流。這就是所謂的電荷充放電效應(charge pumping)。當提供連續的脈衝波頻率是 f ，再結合的載子(Q_{ss})會在基板形成上升電流 I_{cp} ，

$$I_{cp} = f \cdot Q_{ss} = f \cdot A_G \cdot q^2 \cdot N_{it} \cdot \Delta\psi_s$$

這裡的 f 、 A_G 、 q 、 N_{it} 及 $\Delta\psi_s$ 是頻率、通道面積、介面缺陷密度以及表面電位。

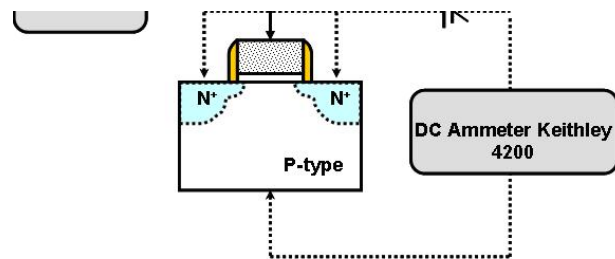
可是電荷充放電技術無法分開閘極氧化層缺陷及界面缺陷的影響，因此無法很精確地看出鋼佈植及回火對於元件的影響程度。本文增加可以精準量測及分開閘極氧化層缺陷與介面缺陷的低頻雜訊量測技術，來進一步更精確評估這些影響。就吾人所知，這是第一次利用這個方法來評估鋼佈植及回火後缺陷對元件特性影響的報導。這個低頻雜訊的量測需操作於具有射頻隔離的測量平台，元件產生的微弱雜訊經由低雜訊放大器放大後送到訊號分析器，來量測雜訊功率頻譜密度，並藉由示波器來檢查雜訊波形。常用的量測裝置有兩種，說明於圖四a、b，其中a是用於具有較高的輸入阻抗元件量測，而b是用於具有較低的輸入阻抗元件。



資料來源: Doctoral Thesis by Martin von Haartman, "Low-frequency noise characterization, evaluation and modeling of advanced Si- and SiGe-based CMOS transistors", Laboratory of Solid State Devices, School of Information and Communication Technology, Royal Institute of Technology, 2006.

Fig. 4. 兩種低頻雜訊量測裝置圖，(a) 用於高輸入阻抗元件。(b) 用於低輸入阻抗元件。

本研究所用的元件為來自知名晶圓代工大廠所製作鋼環形佈植的90奈米NMOSFET。圖五為利用低頻雜訊技術在經硼及鋼環形佈植但不加回火的元件上所量測到的 $1/f$ 雜訊功率頻譜密度(S_{Id}/I_d^2)，所用的頻率是從10Hz~10k Hz。元件的偏壓條件是 $V_D = 0.1V$ 及 $V_G - V_{TH} = 0.8V$ 。很顯然未經回火，鋼佈植的元件雜訊都比硼佈植



Charge Pumping measurement

Fig. 3. 典型的CP量測系統概圖。

當元件閘極處於低電位脈衝時通道恢復到空乏，使得移動的載子回復到源/汲極端。這時在通道中被表面缺陷捕獲的載子，會和來自基板的多數載子再結合(recombination)，增加載子到基板的電流。這就是所謂的電荷充放電效應(charge pumping)。當提供連續的脈衝波頻率是 f ，再結合的載子(Q_{ss})會在基板形成上升電流 I_{cp} ，

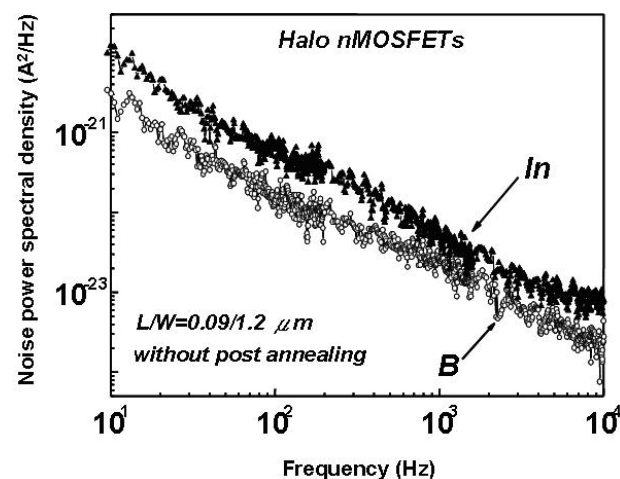


Fig. 5. 未經由熱回火的硼及鋼環形佈植90奈米nMOSFETs之雜訊功率頻譜密度圖。

來的高，顯示銻所造成的缺陷較多。圖六為加了不同回火處理後的元件雜訊功率頻譜密度圖。經900 °C及60秒的回火後，顯然雜訊已降低，尤其在頻率1kHz以下特別明顯。這個結果與一般直流量測者相同，但當頻率高於1kHz時，經900 °C及60秒的回火的雜訊反而比起經1000 °C及20秒的回火的雜訊來得高，這個結果則與直流量測者相反，但與下述電荷充放電方法所量的結果相同。圖七是硼與銻佈植的閘極氧化層漏電流之累積分佈圖。不經過回火銻佈植元件的閘極漏電流遠大於硼的閘極漏電流，但經過不同方式回火後，所有漏電流皆有顯著地減少，甚至低於硼佈植元件，其中又以900 °C及60秒的回火處理效果最佳。另外圖八比較在1 MHz和2 MHz頻率下電荷充放電方法所量測的電流，其中900 °C及60秒的回火具有較高的電流，顯示所生的界面缺陷也較多。

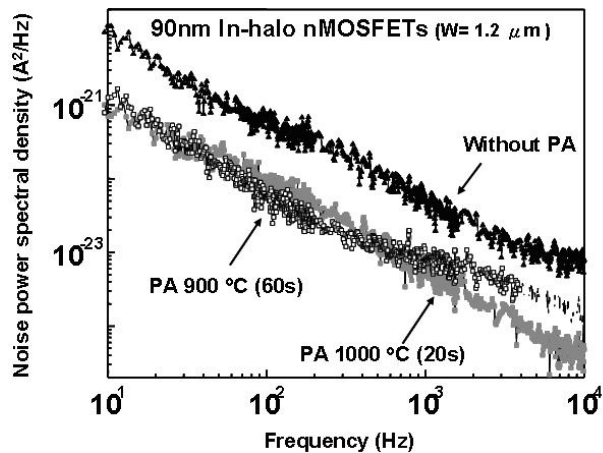


Fig. 6. 經由不同熱回火處理的 90 奈米銻環形佈植 nMOSFETs 之雜訊功率頻譜密度圖。

總之，不使用回火處理，利用低頻雜訊方法在低於1 kHz的頻率下所看出銻佈植元件有較高的雜訊，這是由於佈植後在閘極氧化層及界面產生更多的缺陷所致。但這些缺陷皆能夠經由900 °C及60秒的回火而有效地消除掉。又在頻率大於1 kHz的量測中也看出這個回火會造成更多的雜訊，也就是說900 °C及60秒的回火會同時造成更多的界面缺陷。另外，沒有回火的銻佈植元件的雜訊會大於硼佈植元件的雜訊，但加了回火後銻佈植元件的雜訊則低於硼佈植元件的雜訊。因此，對於銻佈植元件而言，回火是不可或缺的步驟。但也須同時考量到回火會造成界面的更多缺陷，所以回火的溫度與時間須適當地考量。

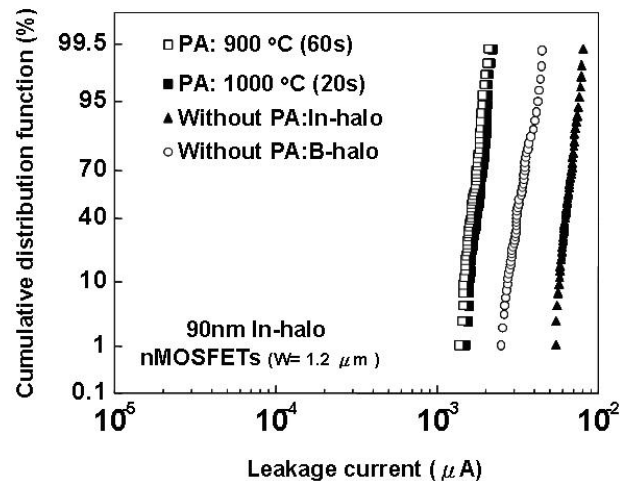


Fig. 7. 在不同熱回火處理下，銻環形佈植與硼環形佈植 nMOSFETs 之閘極。

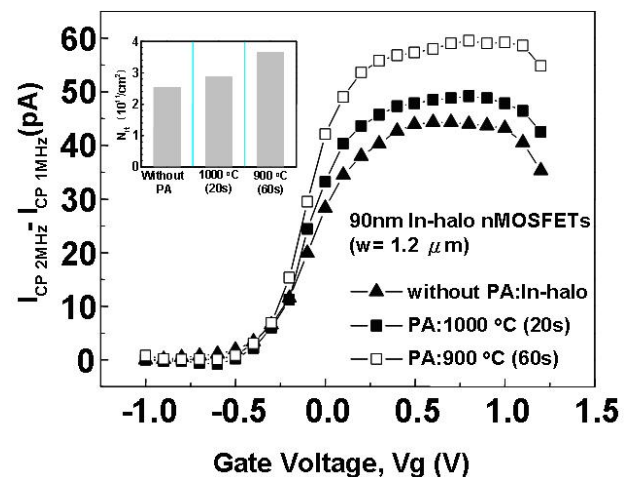


Fig. 8. 在不同熱回火處理下，1MHz及2MHz頻率測試下，90奈米銻環形佈植 nMOSFETs 之電荷充放電電流。插圖為最大電荷充放電電流導出之界面缺陷密度。