

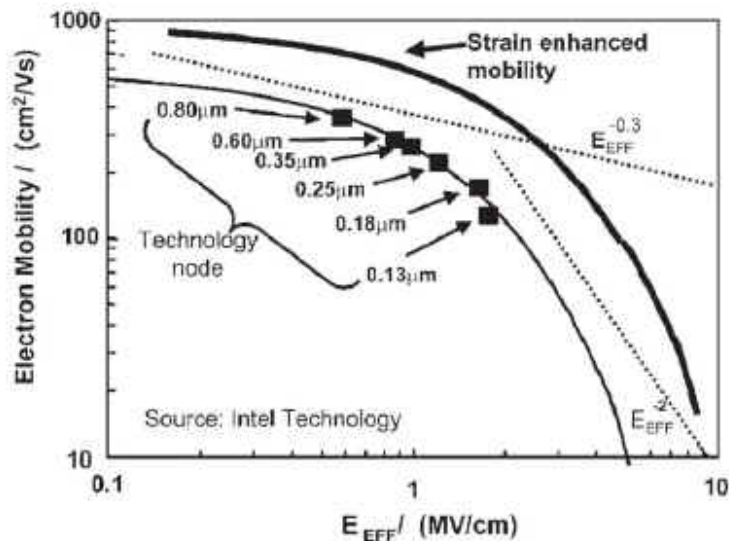
# 一種有效提升90奈米以下全矽化金屬閘極 CMOSFET 特性之新穎應力技術

方炎坤\*、林建廷、江彥廷

國立成功大學電機工程學系

ykfang@eembox.ee.ncku.edu.tw

IEEE ELECTRON DEVICE LETTERS, 28(2), p. 111-3 (2007)



Source: S. E. Thompson et al., "A logic nanotechnology featuring strained-silicon," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, Vol. 25, pp. 191 - 193, April 2004.

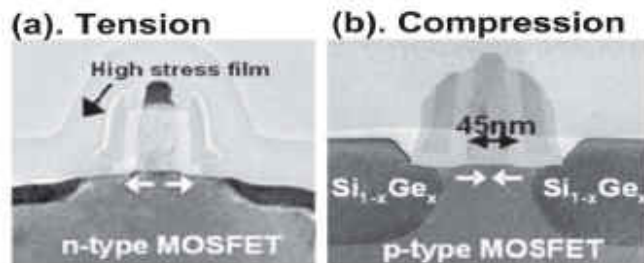
圖1. 電子遷移率對不同元件尺寸的關係圖。

常數來對通道產生壓縮性的應力(圖三)。通道受了這些壓力以後會變形,使導電帶與價電帶能帶分離,減少電子傳輸中的散射碰撞,因而增加載子的遷移率,圖四簡單說明這種能帶的分離情形。此外傳統的多晶矽閘會發生摻雜元素空乏效應使元件導通電流減少因而使用不同金屬閘極來取代傳統多晶矽閘。其中又以完全矽化金屬閘極(FUSI)因其具有簡單的製程以及可調的功函數的優點,為最具潛力的金屬閘極技術。

但以往這些方法都是單獨使用且未能達到顯著的改善。本文率先嘗試利用結合上述兩種不同方式的新穎應力技術,即利用高溫回火下高應力蝕刻停止層內的相位轉移以及體積改變而產生的伸張性應力施加於完全矽化閘極元件來加倍提昇元件性能。它是一種類似局部通道應力(LSC)的方式,但更具效率的方法。最重要的是這種新方法不需要額外的光罩或者製程步驟。它只是調換CESL和FUSI RTP這兩個步驟的先後順序。

本研究是在通道長度為60奈米的 CMOS 元件上進行。這些元件是利用著名的 ULSI製造公司先進的90 奈米CMOS技術

如圖一所示,由於晶片系統功能的不斷提升,ULSI CMOS (Ultra-Large-Scale-Integrated Complementary-Metal-Oxide-Semiconductor) 晶片元件的數目也一直增加,迫使元件的通道長度持續縮短。但是通道的縮短會增加電場使遷移率下降,尤其是進入奈米製程以下,遷移率的衰退變的更明顯,如圖一所示。為了克服這個問題,因而使用各種不同的高應力技術,來增進載子在通道的遷移率。例如高應力蝕刻停止層(CESL, 圖二a), 磊晶矽鍺源極/汲極(圖二 b)。通常CESL是用PECVD(plasma enhanced CVD)來成長高伸張壓力的SiN薄膜層並覆蓋在閘極上以對通道產生伸張的壓力。另外,在源/汲極使用選擇性磊晶矽鍺則是利用矽鍺比矽較大的晶格



Source: S. E. Thompson et al., "A logic nanotechnology featuring strained-silicon," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, Vol. 25, pp. 191 - 193, April 2004.

圖2.不同的應力技術說明, (a) 覆蓋高應力薄膜, (b) 使用磊晶矽鍺的汲極與源極。

來完成。並且使用 Synopsys公司的 Floops軟體來確認應力的有效性。這種新穎應力技術的原理是利用鍍金屬全矽化閘極的體積以及相位改變，在通道上產生的張力(tensile stress)並藉以提升載子的遷移率。這個體積與相位的改變是由於不同溫度加熱而促使鍍矽化物的組成發生變化所形成。作法為在300

FUSI RTP1，並去除沒有反應的鍍金屬之後成長第二道CESL及作不同溫度的第二道快速回火(RTP2)，藉著RTP2來完成鍍矽化物的相位轉變以及體積變化。

RTP2前後應力的改變是利用不同閘極先後表面曲率(curvature)的變化來量出。

圖五說明RTP2溫度變化與所產生的相對應力大小，由圖可看出溫度愈高應力也愈大。這個結果可由TEM和XRD分析來相互驗證。圖六是FUSI閘極的TEM分析的不同照片；其中(a)為無第二次CESL的

500 RTP2後的結果，(b)(c)分別是有第二次CESL成長及500 RTP2與

700 RTP2後的結果。由這些圖片，吾人可以看出無第二次CESL及500 RTP

的FUSI 閘極高度為30奈米，但經過第二次 CESL的成長及覆蓋，其高度減為18

奈米(圖六b)。同時 FUSI的相位從Ni<sub>3</sub>Si (300 RTP1後)轉移到 Ni<sub>3</sub>Si<sub>y</sub> 混和相位(在RTP2後)，如圖七XRD分析的相位圖

所示。又根據窄閘極元件的Floops軟體模擬結果(圖八)，可知被CESL覆蓋FUSI

的矮化會在通道同時產生0.4GPa的縱向及橫向壓力。就是這個500 RTP2所產生的張力來改進10% NMOS的導通電流

(如圖九所示)。又據以往已經研究的結果(圖十)，這個產生的壓力要與元件通道壓

阻係數相符合，才能使這個應變技術達到提升通道中載子遷移率的目的。由圖

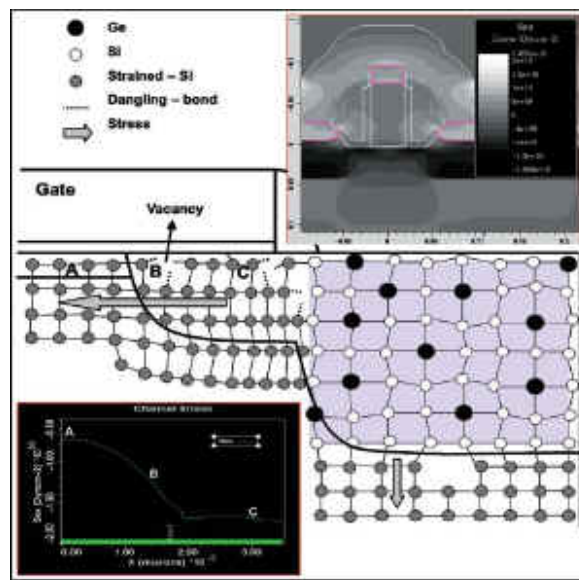
十知，張力是與NMOS通道的縱方向的壓阻係數是一致，但與PMOS的縱方向不

匹配。因此，本新應力技術所生的伸張壓力只能改善NMOS的導通電流。當RTP2 溫度被提升到700 時，其在通道所產生的張力也增加到1.3GPa(圖五)，並同時把FUSI的閘極高度由18奈米(500 )恢復到20奈米(圖六

c)。但可惜的是在700 時，FUSI 閘也開始呈現團塊狀並形成空隙(圖六c)，因而大大地降低導通電流。又經由C/V的量測，閘極的絕緣層厚度減少0.3奈米。此減少厚度與傳統無CESL覆蓋的FUSI元件多晶矽空乏萎縮

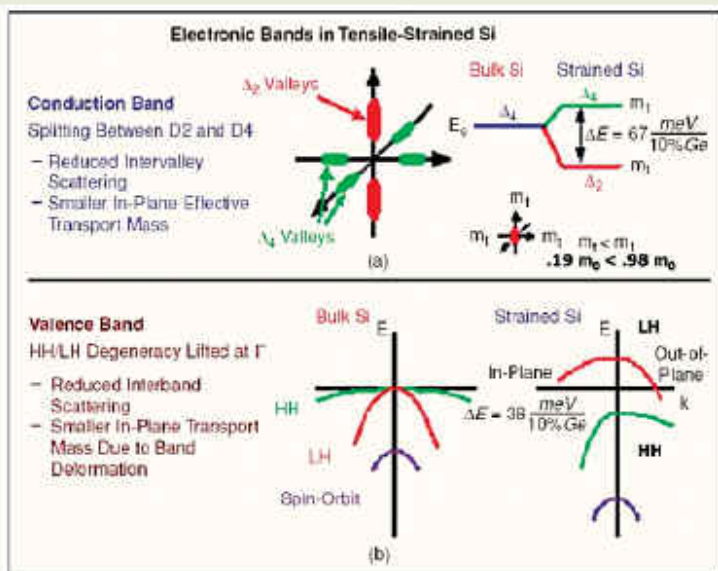
(poly depletion reduction)相同，因此可證吾人所研發的兩次覆蓋CESL的Ni全矽化閘極不但沒破壞一般FUSI

的原有功能，而且能有效提升通道的壓力來改善元件性能。



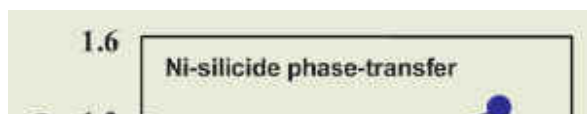
Source: C. Y. Cheng et al., "Investigation and Localization of the SiGe Source/Drain (S/D) Strain-Induced Defects in PMOSFET with 45-nm CMOS Technology", IEEE Electron Device Lett., Vol. 28, pp. 408 - 411, May 2007.

圖3.不同的應力技術說明，(a)覆蓋高應力薄膜，(b)使用磊晶矽鍺的汲極與源極。



Source: C.T. Chuang et al., "Scaling planar silicon devices", IEEE circuits and device magazine, Vol. 20, pp. 6-19, Jan-Feb 2004

圖 4.導電帶及價電帶因外加應力而能帶分離。



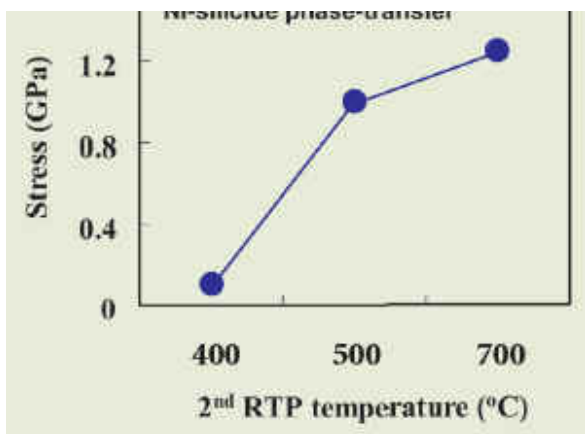


圖5 鎳矽化物相位轉換所導致的壓力與FUSI RTP2溫度的關係。



圖6. FUSI 閘極的TEM 顯微照片，(a)無第二層CESL及500 °C的RTP2，(b)有第二層CESL及500 °C的RTP2，和(c)無第二層CESL及700 °C的RTP2。

總而言之，本研究證實經FUSI RTP2壓力調整後，藉著高應力蝕刻停止層的相位轉移以及體積改變，改善了10%的NMOS導通電流。最可貴的優點是這個新穎應力技術在於只調換CESL和FUSI RTP2這兩個步驟的先後順序，而不需要額外的光罩或者製程步驟。特別是這個技術也可以阻止閘極摻雜的空乏。因此，本技術對於CMOS製程具有相當地前瞻性。

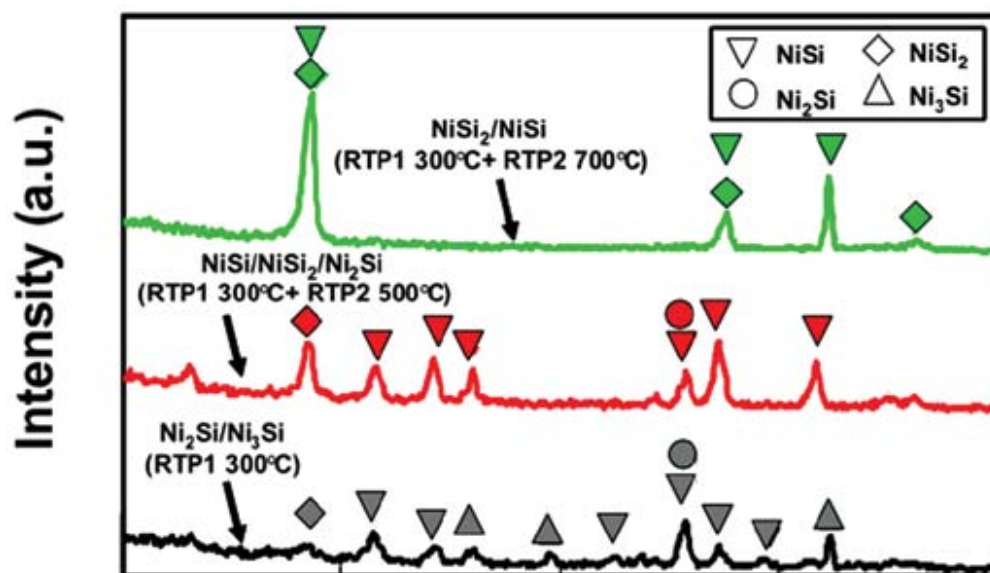


圖7 XRD分析相位圖。

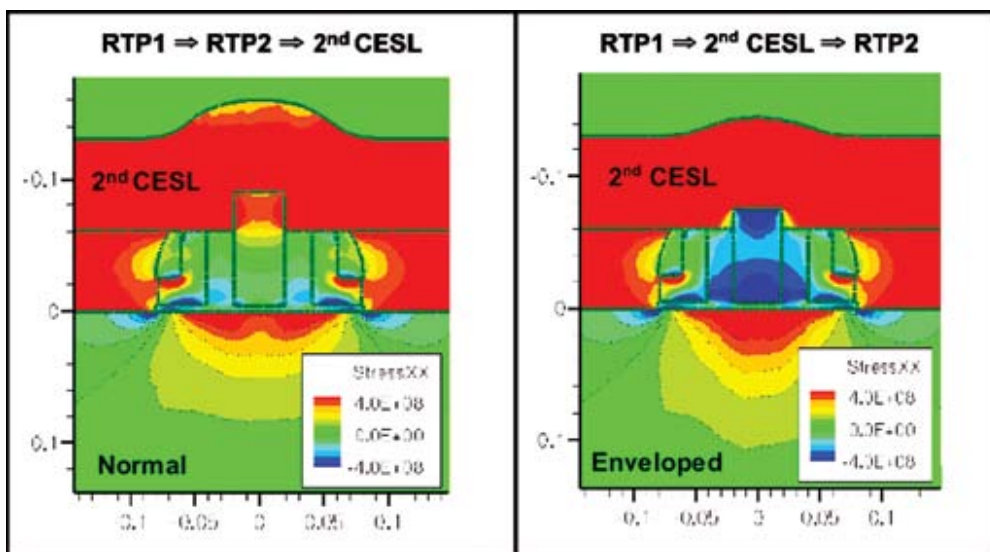


圖8 FUSI閘極的應力模擬圖。

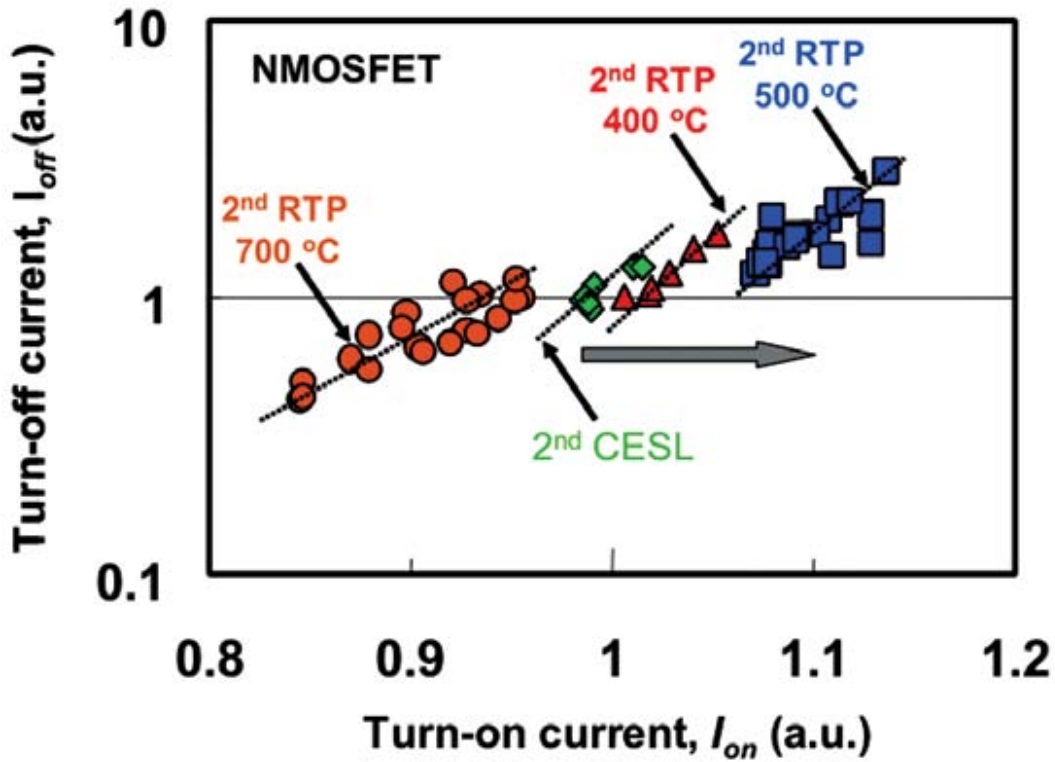
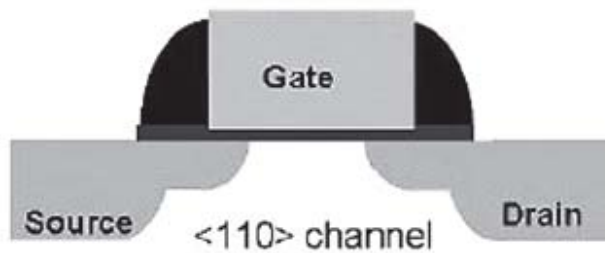


圖 9. 有CESL覆蓋FUSI閘極的NMOS 導通電流與截止電流與RTP2溫度關係圖。



Type of Stress Needed for Enhanced Mobility

Direction	NMOS	PMOS
Longitudinal	Tension +++	Compression ++++
Transverse	Tension ++	Tension +++
Out-of-plane	Compression ++++	Tension +

資料來源: S. E. Thompson et al., "A logic nanotechnology featuring strained-silicon," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, Vol. 25, pp. 191 - 193, April 2004.

圖 10. 基於壓阻係數導出的壓力與不同元件的最佳匹配。